

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2539950号

(45) 発行日 平成8年(1996)10月2日

(24) 登録日 平成8年(1996)7月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 2		G 1 1 C 29/00	3 0 2
11/401			11/34	3 7 1 D

請求項の数10(全 33 頁)

(21) 出願番号 特願平3-2316

(22) 出願日 平成3年(1991)1月11日

(65) 公開番号 特開平6-89595

(43) 公開日 平成6年(1994)3月29日

(31) 優先権主張番号 4 7 9 1 4 5

(32) 優先日 1990年2月13日

(33) 優先権主張国 米国 (U S)

(73) 特許権者 390009531

インターナショナル・ビジネス・マシー
ンズ・コーポレーションINTERNATIONAL BUSI
NESS MACHINES COR
PORATIONアメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)(72) 発明者 ジョン・エドワード・パース・ジュニア
ーアメリカ合衆国バーモント州05403、サ
ウス・バーリントン、サウス・ビーチ・
ロード 305

(74) 代理人 弁理士 頼宮 孝一

審査官 広岡 浩平

最終頁に続く

(54) 【発明の名称】 オンチップECCと最適化したビット及びワードの冗長構成とを備えたダイナミック・ランダム・アクセス・メモリ

1

(57) 【特許請求の範囲】

【請求項1】 半導体チップに形成されたメモリにおいて、

(イ) 上記半導体チップの第1領域に形成され、複数本のワード線と、データ・ビット及びチェック・ビットを含む誤り訂正ワードを構成するX本のビット線と、N本の冗長ビット線とを有する第1メモリ・セル・アレイと、

(ロ) 上記X本のビット線に接続されたX本のデータ線及び上記N本の冗長ビット線に接続されたN本の冗長データ線を有するX+N本の第1データ線と、

(ハ) 上記第1領域に隣接する上記半導体チップの第2領域に形成され、上記X+N本の第1データ線を入力として受け取り、出力が上記第1データ線のX本のデータ線に対応するX本のデータ線を有する第2データ線に接

2

続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが入力されたことに応答して、上記不良ビット線に接続されている上記データ線に対応する上記第2データ線のデータ線に上記第1データ線のN本の冗長データ線の1つを接続する第1スイッチング手段と、

(ニ) 上記第2領域に隣接する上記半導体チップの第3領域に形成され、複数本の冗長ワード線と、上記誤り訂正ワードを構成するX本のビット線とを有する第2メモリ・セル・アレイと、

(ホ) 該第2メモリ・セル・アレイのX本のビット線に接続されたX本のデータ線を有する第3データ線と、

(ヘ) 上記第3領域に隣接する上記半導体チップの第4領域に形成され、上記第2データ線及び上記第3データ

3

線を入力として受け取り、出力がX本のデータ線を有する第4データ線に接続され、上記第1メモリ・セル・アレイの1つのワード線が不良であることを示す情報に回答して、上記第2メモリ・セル・アレイからの第3データ線を上記第4データ線に接続する第2スイッチング手段と、

(ト) 上記第4領域に隣接する上記半導体チップの第5領域に形成され、上記第4データ線を介して上記誤り訂正ワードを受け取り、該誤り訂正ワードのデータ・ビットの誤りを上記チェック・ビットに基づいて訂正する誤り訂正回路と、

(チ) 上記第5領域に隣接する上記半導体チップの第6領域に形成され、該誤り訂正回路の出力に接続され、上記訂正後の誤り訂正ワードを受け取る出力手段とを備える上記メモリ。

【請求項2】半導体チップに形成されたメモリにおいて、

(イ) 上記半導体チップの第1領域に形成され、複数本のワード線と、データ・ビット及びチェック・ビットを含む誤り訂正ワードを構成するX本のビット線と、N本の冗長ビット線とを有する第1メモリ・セル・アレイと、

(ロ) 上記X本のビット線に接続されたX本のデータ線及び上記N本の冗長ビット線に接続されたN本の冗長データ線を有するX+N本の第1データ線と、

(ハ) 上記第1領域に隣接する上記半導体チップの第2領域に形成され、上記X+N本の第1データ線を入力として受け取り、出力が上記第1データ線のX本のデータ線に対応するX本のデータ線を有する第2データ線に接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが入力されたことに応答して、上記不良ビット線に接続されている上記データ線に対応する上記第2データ線のデータ線に上記第1データ線のN本の冗長データ線の1つを接続する第1スイッチング手段と、

(ニ) 上記第2領域に隣接する上記半導体チップの第3領域に形成され、複数本の冗長ワード線と、上記誤り訂正ワードを構成するX本のビット線とを有する第2メモリ・セル・アレイと、

(ホ) 該第2メモリ・セル・アレイのX本のビット線に接続されたX本のデータ線を有する第3データ線と、

(ヘ) 上記第3領域に隣接する上記半導体チップの第4領域に形成され、上記第2データ線及び上記第3データ線を入力として受け取り、出力がX本のデータ線を有する第4データ線に接続され、上記第1メモリ・セル・アレイの1つのワード線が不良であることを示す情報に回答して、上記第2メモリ・セル・アレイからの第3データ線を上記第4データ線に接続する第2スイッチング手段と、

4

(ト) 上記第4領域に隣接する上記半導体チップの第5領域に形成され、上記第4データ線を介して上記誤り訂正ワードを受け取り、該誤り訂正ワードのデータ・ビットの誤りを上記チェック・ビットに基づいて訂正する誤り訂正回路と、

(チ) 上記第5領域に隣接する上記半導体チップの第6領域に形成され、該誤り訂正回路の出力に接続され、上記訂正後の誤り訂正ワードを受け取る出力手段とをそれぞれ備える少なくとも2つのグループが上記半導体チップに形成され、そして該2つのグループの間に、該2つのグループの上記出力手段に接続された入出力パッド列が形成され、該入出力パッド列を挟んで上記2つのグループの上記出力手段が互いに対面するように上記2つのグループが配置されていることを特徴とする上記メモリ。

【請求項3】半導体チップに形成されたメモリにおいて、

(イ) 上記半導体チップの第1領域に形成され、複数本のワード線と、データ・ビット及びチェック・ビットを含む誤り訂正ワードを構成するX本のビット線と、N本の複数冗長ビット線とを有する第1メモリ・セル・アレイと、

(ロ) 上記X本のビット線に接続されたX本のデータ線及び上記N本の冗長ビット線に接続されたN本の冗長データ線を有するX+N本の第1データ線と、

(ハ) 上記第1領域に隣接する上記半導体チップの第2領域に形成され、上記X+N本の第1データ線を入力として受け取り、出力が上記第1データ線のX本のデータ線に対応するX本のデータ線を有する第2データ線に接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが入力されたことに応答して、上記不良ビット線に接続されている上記データ線に対応する上記第2データ線のデータ線に上記第1データ線のN本の冗長データ線の1つを接続する第1スイッチング手段と、

(ニ) 上記第2領域に隣接する上記半導体チップの第3領域に形成され、複数本の冗長ワード線と、上記誤り訂正ワードを構成するX本のビット線とを有する第2メモリ・セル・アレイと、

(ホ) 該第2メモリ・セル・アレイのX本のビット線に接続されたX本のデータ線を有する第3データ線と、

(ヘ) 上記第3領域に隣接する上記半導体チップの第4領域に形成され、上記第2データ線及び上記第3データ線を入力として受け取り、出力がX本のデータ線を有する第4データ線に接続され、上記第1メモリ・セル・アレイの1つのワード線が不良であることを示す情報に回答して、上記第2メモリ・セル・アレイからの第3データ線を上記第4データ線に接続する第2スイッチング手段と、

5

(ト) 上記第4領域に隣接する上記半導体チップの第5領域に形成され、上記第4データ線を介して上記誤り訂正ワードを受け取り、該誤り訂正ワードのデータ・ビットの誤りを上記チェック・ビットに基づいて訂正する誤り訂正回路と、

(チ) 上記第5領域に隣接する上記半導体チップの第6領域に形成され、該誤り訂正回路の出力に接続され、上記訂正後の誤り訂正ワードを受け取る出力手段とを備え、上記第1メモリ・セル・アレイの上記N本の複数冗長ビット線は、上記第1メモリ・セル・アレイ内の離れた位置に分かれて配置されていることを特徴とする上記メモリ。

【請求項4】半導体チップに形成されたメモリにおいて、

(イ) 上記半導体チップの第1領域に形成され、複数本のワード線と、データ・ビット及びチェック・ビットを含む誤り訂正ワードを構成するX本のビット線と、N本の冗長ビット線とを有する第1メモリ・セル・アレイと、

(ロ) 上記X本のビット線に接続されたX本のデータ線及び上記N本の冗長ビット線に接続されたN本の冗長データ線を有するX+N本の第1データ線と、

(ハ) 上記第1領域に隣接する上記半導体チップの第2領域に形成され、上記X+N本の第1データ線を入力として受け取り、出力が上記第1データ線のX本のデータ線に対応するX本のデータ線を有する第2データ線に接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが入力されたことに応答して、上記不良ビット線に接続されている上記データ線に対応する上記第2データ線のデータ線に上記第1データ線のN本の冗長データ線の1つを接続する第1スイッチング手段と、

(ニ) 上記第2領域に隣接する上記半導体チップの第3領域に形成され、複数本の冗長ワード線と、上記誤り訂正ワードを構成するX本のビット線とを有する第2メモリ・セル・アレイと、

(ホ) 該第2メモリ・セル・アレイのX本のビット線に接続されたX本のデータ線を有する第3データ線と、

(ヘ) 上記第3領域に隣接する上記半導体チップの第4領域に形成され、上記第2データ線及び上記第3データ線を入力として受け取り、出力がX本のデータ線を有する第4データ線に接続され、上記第1メモリ・セル・アレイの1つのワード線が不良であることを示す情報に回答して、上記第2メモリ・セル・アレイからの第3データ線を上記第4データ線に接続する第2スイッチング手段と、

(ト) 上記第4領域に隣接する上記半導体チップの第5領域に形成され、上記第4データ線を介して上記誤り訂正ワードを受け取り、該誤り訂正ワードのデータ・ビッ

6

トの誤りを上記チェック・ビットに基づいて訂正する誤り訂正回路と、

(チ) 上記第5領域に隣接する上記半導体チップの第6領域に形成され、該誤り訂正回路の出力に接続され、上記訂正後の誤り訂正ワードを受け取る出力手段とを備え、

上記第1スイッチング手段は、

上記第1データ線のX本のデータ線毎に設けたX個のデコーダを有し、該X個のデコーダのそれぞれは第1入力、第2入力及び出力を有し、上記第1データ線のX本のデータ線のそれぞれはこれ毎に設けられた上記デコーダの第1入力に接続され、各デコーダの第2入力は上記第1データ線のN本の冗長データ線の1つに共通接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが上記X個のデコーダに入力され、該データ線のアドレスに一致する1つのデコーダがこれの第2入力を出力に接続することを特徴とする上記メモリ。

【請求項5】上記第1スイッチング手段は、

上記第1データ線のX本のデータ線毎に設けたX個のデコーダを有し、該X個のデコーダのそれぞれは第1入力、第2入力及び出力を有し、上記第1データ線のX本のデータ線のそれぞれはこれ毎に設けられた上記デコーダの第1入力に接続され、各デコーダの第2入力は上記第1データ線のN本の冗長データ線の1つに共通接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが上記X個のデコーダに入力され、該データ線のアドレスに一致する1つのデコーダがこれの第2入力を出力に接続することを特徴とする請求項1、請求項2又は請求項3記載のメモリ。

【請求項6】上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスがヒューズ手段に書き込まれており、該ヒューズ手段は、上記第1メモリ・セル・アレイの読み取り信号に回答して、上記データ線のアドレスを上記デコーダに供給することを特徴とする請求項4又は請求項5記載のメモリ。

【請求項7】上記デコーダは、上記第1入力及び上記出力の間に接続された第1トランジスタ・スイッチと、上記第2入力及び上記出力の間に接続された第2トランジスタ・スイッチとを有し、該デコーダが上記データ線のアドレスにより選択されたことに応答して、上記第1トランジスタ・スイッチをオフに切り替えそして上記第2トランジスタ・スイッチをオンに切り替えることを特徴とする請求項6記載のメモリ。

【請求項8】上記第1メモリ・セル・アレイの複数本のワード線が上記半導体チップ上で第1方向に配設されており、上記第1メモリ・セル・アレイのX本のビット線

及びN本の冗長ビット線が上記第1方向に直交する第2方向に配設されており、上記第1データ線が絶縁物層を挟んで上記X本のビット線及びN本の冗長ビット線の上側で上記第2方向に配設されており、上記第1データ線が、上記X本のビット線及びN本の冗長ビット線に対してジグザグ状に交差して配設されていることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6又は請求項7記載のメモリ。

【請求項9】上記第1データ線が、上記X本のビット線及びN本の冗長ビット線に対して3度の角度でジグザグ状に交差して配設されていることを特徴とする請求項8記載のメモリ。

【請求項10】上記誤り訂正回路が、上記誤り訂正ワードを受け取る複数個のシンドローム・ジェネレータと、該複数個のシンドローム・ジェネレータからそれぞれのシンドローム・ビットを受け取るシンドローム・バスと、該シンドローム・バスに接続されて上記シンドローム・ビットを受け取り、上記誤り訂正ワードのデータ・ビットのどのデータ・ビットが誤りであるかを判定する手段と、該判定手段に接続され、上記誤りのあるデータ・ビットを反転させる手段とを備えることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8又は請求項9記載のメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、広くはダイナミック・ランダム・アクセス・メモリ（DRAM）設計の分野に関するものであり、より詳しくは、オンチップ誤り訂正符号（ECC）回路とビット線冗長構成とワード線冗長構成との組合せを最適化することによって種々のタイプの誤りを訂正するDRAMの誤り訂正能力を最適化した、DRAMのアーキテクチャに関するものである。

【0002】

【従来の技術】1970年代におけるDRAMの開発の極めて初期の段階から、設計者達は既に、何らかの種類のオンチップ誤り回復回路が必要であることを認識していた。即ち、メモリ・チップを製作するためには非常に多くの処理ステップが必要であり、また、トランジスタ・キャパシタ形の個々のメモリ・セルを非常に多数形成するため、実際の観点からすれば、それらメモリ・セルのうちの幾つかが適正に機能しないものになってしまうことは避けられないのである。

【0003】工業的に採用された最も初期の幾つかの誤り回復技法のうちの1つに、冗長構成という基本的アイデアがあった。冗長構成とするには、チップに、メモリ・セルの1本ないし複数本の予備（スペア）の線（ライン）を付加する。それら予備線は、予備ワード線（即

ち、夫々のメモリ・セルのFETのゲート電極どうしが相互接続されているメモリ・セルの列）としても良く、また、予備ビット線（即ち、選択されたメモリ・セルの状態を検出するセンスアンプに結合されている1本の共通線において、夫々のメモリ・セルのFETのドレイン電極どうしが相互接続されているメモリ・セルの列）としても良い。通常は、冗長線の1本毎に、標準的なNORアドレス・デコーダが1つずつ備えられている。メモリ・チップを製造したならば、そのメモリ・チップを試験して、故障しているメモリ・セルのアドレスを同定する。この同定したアドレスを、冗長線のアドレス・デコーダにプログラムする。このプログラムは複数のフューズを制御しつつ熔断することによって行ない、それによって、RAMやEEPROM等々の状態を設定する。そのメモリ・チップへ送られてきたアドレスが、その故障メモリ・セルが存在している線に対応したアドレスであったときには、冗長線のアドレス・デコーダが、その線の代わりにその冗長線を活性化する。このようにして、メモリ・チップ内の個々のセルが機能不能なセルである場合には、そのメモリ・セルの代わりに冗長セルを用いるという置換を行なえるようにしている。冗長構成に関する最も初期の特許としては、発明の名称を「歩留りを改善する冗長構成法（Yield Enhancement Redundancy Techinque）」とした、1973年8月14日付でスミラスら（Sumilas et al）に対して発行されIBM社に譲渡された、米国特許第3753244号（ワード線冗長構成）や、発明の名称を「欠陥セルを一時的ないし永久的に置換するセルを備えたメモリ・システム（Memory System With Temporary or Permanent Substitution of Cells For Defective Cells）」とした、1973年8月28日にアーツビ（Arzubi）に対して発行されIBM社に譲渡された、米国特許第3755791号（ビット線冗長構成）がある。

【0004】冗長構成に付随する短所のうちの1つに、冗長構成によって修正できるのは、ランダムに発生する故障セルの量が比較的少量の場合に限られるということがある。即ち、故障セルの個数が増大すると、それら故障セルの訂正に必要な冗長線の本数が増加し、その結果、正常時には使用されない予備メモリの容量が大容量となってしまうのである（更には、予備メモリそれ自体が故障セルを含んでいる可能性もあり、その場合には、他の冗長線の中の誤りを訂正するための冗長線が更に必要となってくる）。そのため通常は、オンチップの形で設けられている冗長線の本数は比較的少なく、その結果、1つのサブアレイないしアレイの中の全てのセルが故障している場合には、もはや、冗長構成を利用してその訂正を行なうことは不可能である。

【0005】この問題に対処するために、複数の一部良好チップを用いるということが行なわれている。これは大量の故障セルを含んでいる2個以上のチップを、1つ

のマルチ・チップ・パッケージの中に積層して実装するというものである。その1つの方法によれば、どのアレイが良好でどのアレイが故障しているかという点に付いてそれらチップが互いに相補的であるように、1つのパッケージの中のそれら複数のチップを選択している。例えば、第1のメモリチップの所与のアレイが不良である場合には、それと同一のアレイが良好であるチップを、第2のチップとして選択するようにしている。従って、2個の一部良好チップで1個の全良好チップとしての機能を果たすようにしているのである。これについては、発明の名称を「欠陥メモリ・セルを用いたモノリシック・メモリ (Monolithic Memory Utilizing Defective Storage Cells)」とした米国特許第3714637号、発明の名称を「欠陥メモリ・セルを用いたフル容量モノリシック・メモリ (Full Capacity Monolithic Memory Utilizing Defective Storage Cells)」とした米国特許第3735368号、発明の名称を「欠陥メモリ・セルを用いたモノリシック・メモリ (Monolithic Memory Utilizing Defective Storage Cells)」とした米国特許第3781826号を参照されたい。これら3件の米国特許はいずれも、W. ビューソレイル (W. Beausoleil) に対して発行されIBM社に譲渡された特許である。

【0006】年月がたつにつれて、当業界における研究者達は、以上に説明した誤り回復法ではDRAM動作が行なわれるときに発生する可能性のある全ての誤りを効率的に修正することはできないということを理解するようになった。更に詳しく説明すると、当初は適切に機能していたメモリ・セルであっても、実地に使用されるようになったならば、適切に機能しなくなる可能性があるのである。このことは、いわゆる「ソフトエラー」(例えば蓄積された電荷がメモリ・チップをパッケージしている材料からのアルファ粒子の放射によって失われること等により発生するもの)であることもあり、また、「ハードエラー」(チップ内のメタライゼーションにより形成された部分やその他の材質部分に長期に亘る実地使用によって発生する、繰り返しに起因する障害)であることもある。これらいずれのタイプのエラー(誤り)も初期試験が行なわれた後に発生するものであるから、それらの誤りを冗長によって、あるいは一部良好チップの採用によって訂正することはできない。一般的には、この問題はこれまで、例えばハミング符号等の誤り訂正符号 (error correction code : ECC) や、水平垂直パリティ (horizontal-vertical parity : HVパリティ) を採用することによって対処されてきた。これらの技法は、普通は、データの読み出しがマルチ・ビット・ワードの形で行なわれる大型コンピュータ・システムに用いられるものである。

【0007】ここで、従来技術のハミングECCである、二重誤り検出/単一誤り訂正 (DED/SEC) に

ついて簡単に説明する。データを記憶する際には、データ・ビットとチェック・ビットとの両方を備えたECCワードの形で記憶しておく。チェック・ビットは、それに組み合わされているデータ・ビットの正しい論理状態を表わすものである。ECCロジックが、チェック・ビットを用いてデータ・ビットをテストし、そしてECCワードの中のどのビットが障害を起こしているのかを表わすシンドローム・ビットを発生するようにしている。このシンドローム・ビットを用いて、ECCロジックが該当する障害ビットを訂正し、そしてこうして訂正したECCワードを、更なる処理のために処理装置へ送るようにしている。

【0008】既に述べたように、従来技術においてはECC回路は大型のシステムに採用されるのが普通であったし、また、別体の機能カード等の形態で作られるのが普通であった。このタイプのシステム・レベルのECCを、現在では、より小型のシステムにも採用しようとしているが、それによって、そのロジックの複雑さと経費とがある程度増加することになり(回路のコストが増大し、また、データのアクセス速度が低下するためである)、そのため、それを更に単純なシステムに用いることは实际的でなくなっている。また、そのような応用分野においては初期試験の後に発生する誤りを訂正するためのシステム・レベルのECCが備えられていないために、メモリの性能と信頼性が損なわれている。

【0009】この問題の解決法は、ECC回路をメモリ・チップそれ自体の上に組み込むことである。これによって、ECCに付随する経費を低減することができ、それと同時に、メモリの実効性を高めることができる。発明の名称を「歩留り及び信頼性を改善する単一チップのランダム・アクセス・メモリ (Single Chip Random Access Memory With Increased Yield and Reliability)」とした、1982年6月15日付でミラー (Miller) に対して発行された米国特許第4335459号は、ハミング符号ECCをメモリ・チップ上に組み込むという基本的なアイデアを論じたものである。その記憶データはECCワードの形で読み出されるようにしてあり、このECCワードは、12ビット(データ・ビットが8ビット、チェック・ビットが4ビット)から成っており、それらのビットがECC回路によって処理されるようにしてある。訂正処理後の8ビットのデータ・ビットは8ビットのレジスタへ送られる。このレジスタは、アドレス信号を受け取ったならば、8ビットのうちの1ビットを選択して単一ビットのI/Oを介して出力する。発明の名称を「改善されたダミー・セル構造と組み込み型誤り訂正符号回路とを備えた半導体メモリ (Semiconductor Memory With An Improved Dummy Cell Arrangement And With A Built-In Error Correcting Code Circuit)」とした、1989年3月28日付でシノダラ (Shinoda et al) に対して発行され日立社に譲渡され

た、米国特許第4817052号には、特殊なダミー・セルの構成と、ワード線をインターデジタイティングするという基本的なアイデアとが開示されており、このインターデジタイティングが行なわれると、1本のワード線上の互いに隣接する複数の障害メモリ・セルの夫々が単一ビット障害として現われるようになり（従ってECCシステムにより訂正可能となり）、そうなるのは、それによってそれら複数の障害メモリ・セルが互いに異なったECCワードの中に出現するようになるからである。

【0010】更に別の研究者は、誤り訂正についての最適な解決法は、ECC回路と冗長構成とを同一のメモリ・チップ上に組み込むことであるということを認識するに至った。この種の構成の具体例の中には、発明の名称を「冗長性メモリとパリティ能力とを有する半導体メモリ・デバイス (Semiconductor Memory Device Having Redundant Memory and Parity Capabilities)」とした、1987年8月18日付でタケマエ (Takemae) に対して発行され富士通社に譲渡された、米国特許第4688219号（冗長列線のためのパリティ・ビットをその他のメモリ・セルのためのパリティ・ビットの発生とは別個に発生するスイッチング回路を用いてHVパリティと組合せたビット線冗長構成）や、1988年8月30日付でタケマエ (Takemae) に対して発行され富士通社に譲渡された米国特許第4768193号（メイン・メモリ・アレイに連続して設けられている1つのアレイによって、HV-ECCシステムのためのワード線冗長構成とビット線冗長構成との両方を得るようにしており、ヒューズを用いて、故障ワード線/故障ビット線を水平パリティ発生器/垂直パリティ発生器から切断するようにしたもの）、それに、フルタニら (Furutani et al) による論文「DRAMのための組込み型ハミング符号ECC回路 (A Built-In Hamming Code ECC Circuit for DRAM's)」、IEEEソリッド・ステート回路ジャーナル (IEEE Journal of solid-State Circuits)、1989年2月、第24巻、第1号、第50頁～第56頁（オンチップ型ハミング符号システムのための新規なECC回路であって、冗長構成を備えたものであるが、この論文は冗長構成についての詳細な説明はしていない）がある。

【0011】以上のいずれの引用文献においても、そこに用いられているビット線及びワード線の冗長構成を用いた方法は、オンチップECCに最適のものではない。上記米国特許第4688219号（タケマエ）では、従来からのビット線冗長構成が採用されており、その冗長線に対しては別個にパリティを発生させるようにしている。上記米国特許第4768193号（タケマエ）では、単一のアレイによって、ビット線冗長構成とワード線冗長構成との両方を設けるようにしている。上記フルタニ論文には冗長システムについての説明がなされてい

ないことから、同氏は単純に従来の冗長構成技法を利用することができると考えているものと推察される。この推察は誤っておらず、なぜならば、タケマエの双方の米国特許には、従来からの冗長構成技法が適用可能であることが示されているからである。しかしながら、本発明者が明らかとしたところによれば、実際問題として、従来の冗長法は誤り訂正システム全体の総体的な有用性を低下させるものである。例えば、1つのアレイによってビット冗長構成とワード冗長構成との両方を設けるようにするならば、それによって誤り訂正システムそれ自体が、誤りの影響を受け易いものとなり、その理由は、その場合、冗長用のメモリ・セルは、それらの全てが、物理的に同一の場所に存在することになるからである。更には、ヒューズ等によって、故障したメイン・メモリの行/列をECC回路から物理的に切断するというアイデア、または、冗長エレメントのための完全に別体のセットとしたECC回路を組み込むというアイデア、あるいはそれら両方のアイデアを採用するならば、それによって構成中に余分のロジックを追加することになり、またそれによって、チップ上のより多くのスペースが取られると共に更に別の障害のメカニズムが加わってくることになる。

【0012】更には、前述の引用文献のうちのいずれも、ECCを、設計の初期段階におけるプロセス探究のための、ないしはメモリ・チップの開発のための補助ツールとして使用するということを考えてはいない。メモリ・チップのある1つの製造プロセスを構成している無数のプロセス・ステップは、複雑でしかも独自性を有するものであるため、メモリ・チップを最初に製造しようとするとき（即ち製造サイクルの初期）には、多種多様な障害のメカニズムに遭遇することになる。この初期段階においては、どのようなものであれ、試験することができ程度に機能するハードウェアを製造することが大事であり、そのハードウェアを試験することができれば、それによって、様々な障害のメカニズムを詳細に理解することができる。ECCはそれらの障害のメカニズムを詳細に理解するためのツールとして用いることの可能なものであり、その理由は、ECCを用いることによって、ハードとソフトとの両方の面における大量の誤りを修正することができるからである。しかしながら、メモリ・チップの製造サイクルの後期においては、充分なプロセス探究を行なうことによって誤りの個数を大幅に減少させることができる。このような状況下においては、ECCシステムを完全に除去してしまうことが良いこともあり、それによって、チップの寸法を小さくし、アクセス速度を向上させることができる可能性がある。従来技術においては、補助回路に大幅な設計変更を加えることなしに量産チップからECCシステムを除去し得るようにした、チップの全体アーキテクチャを設計するための用意はなされていなかった。

【0013】従って、本分野においては、オンチップECCに最適の冗長構成（並びにその他の特徴）を組み込むことのできるメモリ・チップのアーキテクチャが要望されている。更には、本分野においては、経費を増大させることなく、しかも量産規模で製造されるメモリ・チップの性能を低下させることもなく、初期段階のプロセス探究を支援することのできるメモリのアーキテクチャが要望されている。

【0014】

【発明が解決しようとする課題】従って本発明の目的は、メモリ・アレイ中に発生する欠陥等の影響を受け難くした冗長システムを提供することにある。本発明の更なる目的は、オンチップECCのサポートに最適化させたビット線冗長構成とワード線冗長構成との両方を効率的に組合せることにある。本発明の更なる目的は、冗長ビット線に、メモリ・アレイのビット線の代わりをさせるためのスイッチングを効率的に行なうことのできる、データ線構成を提供することにある。本発明の更なる目的は、アクセス遅延を短縮する、オンチップECCシステムを構成することにある。本発明の更なる目的は、アクセスに関する代償を殆ど払うことなくオンチップECCの集積化を簡明にする、パイプライン式のレイアウトを提供することにある。本発明の更なる目的は、オンチップECCから誤り訂正ワードの全体を受け取り、そのうちのデータ・ビットを効率的な方法で送出する、バッファ手段を提供することにある。本発明の更なる目的は、データを得る際の動作モードを効率的に設定することにある。本発明の更なる目的は、製造の初期の段階におけるプロセス探究を支援するのに用いるECC回路をサポートする、メモリ・チップのアーキテクチャを提供することにある。

【0015】

【課題を解決するための手段】本発明の以上の目的を実現する半導体チップに形成されたメモリは、

(イ) 上記半導体チップの第1領域に形成され、複数本のワード線と、データ・ビット及びチェック・ビットを含む誤り訂正ワードを構成するX本のビット線と、N本の冗長ビット線とを有する第1メモリ・セル・アレイと、

(ロ) 上記X本のビット線に接続されたX本のデータ線及び上記N本の冗長ビット線に接続されたN本の冗長データ線を有するX+N本の第1データ線と、

(ハ) 上記第1領域に隣接する上記半導体チップの第2領域に形成され、上記X+N本の第1データ線を入力として受け取り、出力が上記第1データ線のX本のデータ線に対応するX本のデータ線を有する第2データ線に接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが入力されたことに応答して、上記不良ビット線に接続されている上記データ線に対応

する上記第2データ線のデータ線に上記第1データ線のN本の冗長データ線の1つを接続する第1スイッチング手段と、

(ニ) 上記第2領域に隣接する上記半導体チップの第3領域に形成され、複数本の冗長ワード線と、上記誤り訂正ワードを構成するX本のビット線とを有する第2メモリ・セル・アレイと、

(ホ) 該第2メモリ・セル・アレイのX本のビット線に接続されたX本のデータ線を有する第3データ線と、

10 (ヘ) 上記第3領域に隣接する上記半導体チップの第4領域に形成され、上記第2データ線及び上記第3データ線を入力として受け取り、出力がX本のデータ線を有する第4データ線に接続され、上記第1メモリ・セル・アレイの1つのワード線が不良であることを示す情報に回答して、上記第2メモリ・セル・アレイからの第3データ線を上記第4データ線に接続する第2スイッチング手段と、

(ト) 上記第4領域に隣接する上記半導体チップの第5領域に形成され、上記第4データ線を介して上記誤り訂正ワードを受け取り、該誤り訂正ワードのデータ・ビットの誤りを上記チェック・ビットに基づいて訂正する誤り訂正回路と、

(チ) 上記第5領域に隣接する上記半導体チップの第6領域に形成され、該誤り訂正回路の出力に接続され、上記訂正後の誤り訂正ワードを受け取る出力手段とを備える。本発明に従う半導体チップに形成されたメモリは、

(イ) 上記半導体チップの第1領域に形成され、複数本のワード線と、データ・ビット及びチェック・ビットを含む誤り訂正ワードを構成するX本のビット線と、N本の冗長ビット線とを有する第1メモリ・セル・アレイと、

(ロ) 上記X本のビット線に接続されたX本のデータ線及び上記N本の冗長ビット線に接続されたN本の冗長データ線を有するX+N本の第1データ線と、

(ハ) 上記第1領域に隣接する上記半導体チップの第2領域に形成され、上記X+N本の第1データ線を入力として受け取り、出力が上記第1データ線のX本のデータ線に対応するX本のデータ線を有する第2データ線に接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが入力されたことに応答して、上記不良ビット線に接続されている上記データ線に対応する上記第2データ線のデータ線に上記第1データ線のN本の冗長データ線の1つを接続する第1スイッチング手段と、

(ニ) 上記第2領域に隣接する上記半導体チップの第3領域に形成され、複数本の冗長ワード線と、上記誤り訂正ワードを構成するX本のビット線とを有する第2メモリ・セル・アレイと、

50 (ホ) 該第2メモリ・セル・アレイのX本のビット線に

接続されたX本のデータ線を有する第3データ線と、

(ヘ) 上記第3領域に隣接する上記半導体チップの第4領域に形成され、上記第2データ線及び上記第3データ線を入力として受け取り、出力がX本のデータ線を有する第4データ線に接続され、上記第1メモリ・セル・アレイの1つのワード線が不良であることを示す情報に回答して、上記第2メモリ・セル・アレイからの第3データ線を上記第4データ線に接続する第2スイッチング手段と、

(ト) 上記第4領域に隣接する上記半導体チップの第5領域に形成され、上記第4データ線を介して上記誤り訂正ワードを受け取り、該誤り訂正ワードのデータ・ビットの誤りを上記チェック・ビットに基づいて訂正する誤り訂正回路と、

(チ) 上記第5領域に隣接する上記半導体チップの第6領域に形成され、該誤り訂正回路の出力に接続され、上記訂正後の誤り訂正ワードを受け取る出力手段とをそれぞれ備える少なくとも2つのグループが上記半導体チップに形成され、そして該2つのグループの間に、該2つのグループの上記出力手段に接続された入出力パッド列が形成され、該入出力パッド列を挟んで上記2つのグループの上記出力手段が互いに対面するように上記2つのグループが配置されていることを特徴とする。本発明に従う半導体チップに形成されたメモリは、

(イ) 上記半導体チップの第1領域に形成され、複数本のワード線と、データ・ビット及びチェック・ビットを含む誤り訂正ワードを構成するX本のビット線と、N本の複数冗長ビット線とを有する第1メモリ・セル・アレイと、

(ロ) 上記X本のビット線に接続されたX本のデータ線及び上記N本の冗長ビット線に接続されたN本の冗長データ線を有するX+N本の第1データ線と、

(ハ) 上記第1領域に隣接する上記半導体チップの第2領域に形成され、上記X+N本の第1データ線を入力として受け取り、出力が上記第1データ線のX本のデータ線に対応するX本のデータ線を有する第2データ線に接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが入力されたことに回答して、上記不良ビット線に接続されている上記データ線に対応する上記第2データ線のデータ線に上記第1データ線のN本の冗長データ線の1つを接続する第1スイッチング手段と、

(ニ) 上記第2領域に隣接する上記半導体チップの第3領域に形成され、複数本の冗長ワード線と、上記誤り訂正ワードを構成するX本のビット線とを有する第2メモリ・セル・アレイと、

(ホ) 該第2メモリ・セル・アレイのX本のビット線に接続されたX本のデータ線を有する第3データ線と、

(ヘ) 上記第3領域に隣接する上記半導体チップの第4

領域に形成され、上記第2データ線及び上記第3データ線を入力として受け取り、出力がX本のデータ線を有する第4データ線に接続され、上記第1メモリ・セル・アレイの1つのワード線が不良であることを示す情報に回答して、上記第2メモリ・セル・アレイからの第3データ線を上記第4データ線に接続する第2スイッチング手段と、

(ト) 上記第4領域に隣接する上記半導体チップの第5領域に形成され、上記第4データ線を介して上記誤り訂正ワードを受け取り、該誤り訂正ワードのデータ・ビットの誤りを上記チェック・ビットに基づいて訂正する誤り訂正回路と、

(チ) 上記第5領域に隣接する上記半導体チップの第6領域に形成され、該誤り訂正回路の出力に接続され、上記訂正後の誤り訂正ワードを受け取る出力手段とを備え、上記第1メモリ・セル・アレイの上記N本の複数冗長ビット線は、上記第1メモリ・セル・アレイ内の離れた位置に分かれて配置されていることを特徴とする。本発明に従う半導体チップに形成されたメモリは、

(イ) 上記半導体チップの第1領域に形成され、複数本のワード線と、データ・ビット及びチェック・ビットを含む誤り訂正ワードを構成するX本のビット線と、N本の冗長ビット線とを有する第1メモリ・セル・アレイと、

(ロ) 上記X本のビット線に接続されたX本のデータ線及び上記N本の冗長ビット線に接続されたN本の冗長データ線を有するX+N本の第1データ線と、

(ハ) 上記第1領域に隣接する上記半導体チップの第2領域に形成され、上記X+N本の第1データ線を入力として受け取り、出力が上記第1データ線のX本のデータ線に対応するX本のデータ線を有する第2データ線に接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが入力されたことに回答して、上記不良ビット線に接続されている上記データ線に対応する上記第2データ線のデータ線に上記第1データ線のN本の冗長データ線の1つを接続する第1スイッチング手段と、

(ニ) 上記第2領域に隣接する上記半導体チップの第3領域に形成され、複数本の冗長ワード線と、上記誤り訂正ワードを構成するX本のビット線とを有する第2メモリ・セル・アレイと、

(ホ) 該第2メモリ・セル・アレイのX本のビット線に接続されたX本のデータ線を有する第3データ線と、

(ヘ) 上記第3領域に隣接する上記半導体チップの第4領域に形成され、上記第2データ線及び上記第3データ線を入力として受け取り、出力がX本のデータ線を有する第4データ線に接続され、上記第1メモリ・セル・アレイの1つのワード線が不良であることを示す情報に回答して、上記第2メモリ・セル・アレイからの第3デー

10

20

30

40

50

タ線を上記第4データ線に接続する第2スイッチング手段と、

(ト) 上記第4領域に隣接する上記半導体チップの第5領域に形成され、上記第4データ線を介して上記誤り訂正ワードを受け取り、該誤り訂正ワードのデータ・ビットの誤りを上記チェック・ビットに基づいて訂正する誤り訂正回路と、

(チ) 上記第5領域に隣接する上記半導体チップの第6領域に形成され、該誤り訂正回路の出力に接続され、上記訂正後の誤り訂正ワードを受け取る出力手段とを備え、上記第1スイッチング手段は、上記第1データ線のX本のデータ線毎に設けたX個のデコーダを有し、該X個のデコーダのそれぞれは第1入力、第2入力及び出力を有し、上記第1データ線のX本のデータ線のそれぞれはこれ毎に設けられた上記デコーダの第1入力に接続され、各デコーダの第2入力は上記第1データ線のN本の冗長データ線の1つに共通接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが上記X個のデコーダに入力され、該データ線のアドレスに一致する1つのデコーダがこれの第2入力を出力に接続することを特徴とする。そして、上記第1スイッチング手段は、上記第1データ線のX本のデータ線毎に設けたX個のデコーダを有し、該X個のデコーダのそれぞれは第1入力、第2入力及び出力を有し、上記第1データ線のX本のデータ線のそれぞれはこれ毎に設けられた上記デコーダの第1入力に接続され、各デコーダの第2入力は上記第1データ線のN本の冗長データ線の1つに共通接続され、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスが上記X個のデコーダに入力され、該データ線のアドレスに一致する1つのデコーダがこれの第2入力を出力に接続することを特徴とする。そして、上記第1データ線のX本のデータ線のうち上記第1メモリ・セル・アレイの不良ビット線に接続されているデータ線のアドレスがヒューズ手段に書き込まれており、該ヒューズ手段は、上記第1メモリ・セル・アレイの読み取り信号に応答して、上記データ線のアドレスを上記デコーダに供給することを特徴とする。そして、上記デコーダは、上記第1入力及び上記出力の間に接続された第1トランジスタ・スイッチと、上記第2入力及び上記出力の間に接続された第2トランジスタ・スイッチとを有し、該デコーダが上記データ線のアドレスにより選択されたことに応答して、上記第1トランジスタ・スイッチをオフに切り替えそして上記第2トランジスタ・スイッチをオンに切り替えることを特徴とする。そして、上記第1メモリ・セル・アレイの複数本のワード線が上記半導体チップ上で第1方向に配設されており、上記第1メモリ・セル・アレイのX本のビット線及びN本の冗長ビット線が上記第1方向に直交する第2方

向に配設されており、上記第1データ線が絶縁物層を挟んで上記X本のビット線及びN本の冗長ビット線の上側で上記第2方向に配設されており、上記第1データ線が、上記X本のビット線及びN本の冗長ビット線に対してジグザグ状に交差して配設されていることを特徴とする。そして、上記第1データ線が、上記X本のビット線及びN本の冗長ビット線に対して3度の角度でジグザグ状に交差して配設されていることを特徴とする。そして、上記誤り訂正回路が、上記誤り訂正ワードを受け取る複数個のシンドローム・ジェネレータと、該複数個のシンドローム・ジェネレータからそれぞれのシンドローム・ビットを受け取るシンドローム・バスと、該シンドローム・バスに接続されて上記シンドローム・ビットを受け取り、上記誤り訂正ワードのデータ・ビットのどのデータ・ビットが誤りであるかを判定する手段と、該判定手段に接続され、上記誤りのあるデータ・ビットを反転させる手段とを備えることを特徴とする。

【0016】本発明の更に別の1つの局面は、複数個のメモリ・チップを備えたウエハーを形成する製造プロセスであって、前記複数個のメモリ・チップの各々が、X個のメモリ・セルとY個の冗長セルとの両方と支援回路とを含んでおり、前記Y個の冗長セルは前記X個のメモリ・セルのうちの選択された障害メモリ・セルの代わりに用いるように置換することのできるセルであり、前記支援回路は、メモリ・セル・アレイへデータを書き込み、並びにそのメモリ・セル・アレイからデータを読み出すための回路であり、更に、製造後に故障しているメモリ・セルの個数であるNの関数である製造サイクルが付随する製造プロセスにおいて、前記製造サイクルの初期において、前記各メモリ・チップの前記支援回路に誤り訂正符号回路ブロックを備えるようにし、該誤り訂正符号回路ブロックをそのメモリ・チップの一侧辺から他側辺へと延在する領域の内部に配設するようにし、該領域には前記誤り訂正符号回路ブロック以外の回路を設けないようにするステップと、前記製造サイクルの後期において、この製造プロセスによって発生した故障メモリ・セルの個数Nが冗長セルの個数Yと略々等しいかそれより小さくなったときに、この製造プロセスによって以後製造されるメモリ・チップから、前記誤り訂正符号回路ブロックを除去するステップと、を含んでいるウエハーを形成する製造プロセスである。

【0017】本発明の更に別の1つの局面は、メモリ・チップであって、複数本のワード線と複数本のビット線とによって相互接続された複数のメモリ・セルから成るメモリ・セル・アレイと、複数本の冗長ビット線と、前記複数本のビット線のうちの第1所定本数のビット線を同時にアドレスして複数ビット・ワードにアクセスすると共に、前記複数本の冗長ビット線のうちの第2所定本数の冗長ビット線を同時にアドレスするアドレス手段と、前記複数本のビット線のうちの前記第1所定本数の

ビット線と、前記複数本の冗長ビット線のうちの前記第2所定本数の冗長ビット線とに少なくとも結合されている第1の複数本のデータ線と、前記第1の複数本のデータ線の本数より少ない本数が備えられている、第2の複数本のデータ線と、前記複数本のビット線のうちの前記第1所定本数のビット線のうちの任意の1本ないし複数本のビット線の代わりに、前記複数本の冗長ビット線のうちの前記第2所定本数の冗長ビット線のうちの1本ないし複数本の冗長ビット線を用いるようにする置換を行ない、且つその置換した冗長ビット線からの信号を前記複数ビット・ワードの夫々のビットとして送出するスイッチング手段と、を含んでいるメモリ・チップである。

【0018】本発明の更に別の1つの局面は、複数のメモリ・セルを有する基板上に形成されたメモリ・アレイであって、それら複数のメモリ・セルが、第1方向に配設された複数本のワード線と、該複数本のワード線の上に該第1方向に対して略々直角をなす第2方向に配設された複数本のビット線とによって相互接続されているものにおいて、複数本のデータ線を前記複数本のビット線の上に、ジグザグ形状のパターンで前記第2方向に配設することによって、それらデータ線とそれらビット線との間の容量性結合を小さくしてあるメモリ・アレイである。

【0019】本発明の更に別の1つの局面は、メモリ・チップであって、このメモリ・チップの第1部分に配設され複数本のビット線と複数本のワード線とによって相互接続された複数のメモリ・セルから成る第1のセル・アレイであって前記複数本のビット線に結合していてそれら複数本のビット線から得られる第1の大きさの差分信号を検出することによって前記複数のメモリ・セルの夫々のセルの読み取りを行なう複数のセンスアンプを含んでいる第1のセル・アレイと、このメモリ・チップの前記第1部分から離隔した第2部分に配設され複数本のビット線と複数本のワード線とによって相互接続された複数の冗長セルから成る第2のセル・アレイであって前記複数本のビット線に結合していてそれら複数本のビット線から得られる前記第1の大きさより大きい第2の大きさの差分信号を検出することによって前記複数の冗長セルの夫々のセルの読み取りを行なう複数のセンスアンプを含んでいる第2のセル・アレイと、を含んでいるメモリ・チップである。

【0020】本発明の更に別の1つの局面は、複数の外部制御信号の夫々を受け取る複数の入力部である第1入力部と、アクセスすべき所与のメモリ・セルのアドレスを通常は示している第1アドレス信号を受け取る複数のアドレス入力部である第2入力部とを備えた、複数の動作モードをサポートするメモリにおいて、所与のメモリ・アクセス・サイクルの動作モードを設定するための方法であって、所与のメモリ・アクセス・サイクル中に前記複数の外部制御信号のうちの少なくとも1つの外部制

御信号を受け取り、その受け取った少なくとも1つの外部制御信号に基づいて、該所与のメモリ・アクセス・サイクル中の、複数のアドレス入力部である前記第2入力部が前記第1アドレス信号を受け取らない期間を判定するステップと、該期間中に、複数のアドレス入力部である前記第2入力部にアクセスして、該所与のメモリ・アクセス・サイクル中にこのメモリが動作すべき前記複数の動作モードのうちの1つの動作モードを表わす第2アドレス信号を受け取るステップと、前記第2アドレス信号をデコードして、該所与のメモリ・アクセス・サイクル中にこのメモリが動作すべき前記複数の動作モードのうちの前記1つの動作モードに、このメモリを設定するステップと、を含んでいる方法である。

【0021】

【実施例】図1に示すように、本発明に係るメモリ・チップ100は4つのクオドラント（4分の1領域）QUAD0～QUAD3を含んでいる。後に更に詳細に説明するが、それらクオドラントの各々は約400万個の記憶用のセル（4Mb）を有している。従ってこのメモリ・チップ100は、約1600万ビット（16Mb）のセルを有するものである。それらメモリ・セルは一般的な「ワン・デバイス」DRAM型のもの（即ち1個のFETの、そのゲートをワード線に、そのドレインをビット線に、そしてそのソースを電荷蓄積用キャパシタに接続し、ビット線に接続されているセンスアンプがそのキャパシタからの電圧を基準セルからの電圧と比較することによって、記憶されている論理状態が判別されるようにしたもの）であって、これについては、1968年6月にデナード（Dennard）に対して発行されIBM社に譲渡された米国特許第3387286号に総括的に記載されている。それらメモリ・セルは、多数ある公知の技法のいずれを用いて構成したものであっても良いのであるが、基板一極板セル（即ち、電荷蓄積用キャパシタの電荷蓄積用極板を、エピタキシャル層を貫通してその下の電荷蓄積用極板を形成している基板まで延在しているトレンチの中に、ドーピングを施したポリを設けることによって形成したもの。これについては、1989年1月にケニー（Kenney）に対して発行されIBM社に譲渡された米国特許第4801988号を参照されたい。

尚、同米国特許の教示は、この言及を持って本明細書に包含する）を採用するのが好ましい。更にまた、このチップのアーキテクチャは、ここでは16Mbの場合について説明するが、いかなる密度のメモリ・チップに対しても、適用可能なものであることを承知されたい。

【0022】クオドラントの各々は、そのクオドラントに専用の支援回路を備えており、この支援回路は、そのクオドラントの複数のアレイと、I/Oパッド50との間に配設されている。支援回路には、ビット冗長データ・ステアリング10、ワード冗長アレイ20、誤り訂正回路（ECC）30、それにSRAM40が含まれてい

る。後に更に詳細に説明するように、これら機能ブロックは、概して「パイプライン」方式で配設してある。即ち、これら機能ブロックの配設位置は、これら機能ブロックが夫々の論理機能を実行する概略の順番に合わせて定めてある。ECC30は、QUAD3のメモリ・セルとワード冗長アレイ20とのいずれか一方から入力を受け取って、訂正処理済のビットをSRAM40へ送出するものであり、そしてこのSRAM40は、選択したビットをI/Oパッド50へ送出する。このようにロジックをパイプライン方式で配設したため、機能ブロックのレイアウトが簡明化されると共に、1つのロジック・ブロックから次のロジック・ブロックへの配線の長さによって生じる動作遅延が最小限に抑えられている。このことは、オンチップECCを組み込む場合には、その回路によって追加されるアクセス遅延を最小限に抑えるという意味で特に重要なことである。

【0023】その他の周辺回路（例えばアドレス・デコーダ、バッファ、クロック・ジェネレータ、等々）は、このチップの中央を通して縦と横とに並べて配置しており、それによってこのチップの性能及び信頼性の最適化を図っている。I/Oパッド50は、チップの中央に配置しており、それによって、諸々の信号を夫々の周辺回路並びにアレイへ伝達する際には、このチップの長さの半分の距離を伝達させるだけで良いようにし、RC配線遅延を非常に小さなものとしてある。更に、全ての外部I/O信号は、各クォドラントごとに個別にバッファするようにしてあり（即ち、クォドラントの各々に、そのクォドラントに専用のバッファを備えてある）、それによって、容量負荷を低下させると共に、夫々のチップ領域を絶縁して部分信頼性を向上させてある。従って、クォドラントQUAD0〜QUAD3の各々が完全に別個の4Mbチップとして動作するようにしてある。

【0024】図2は、図1のクォドラントQUAD3の拡大図である。各クォドラントは4つの1メガビット・ブロックB1〜B4に分けてあり、それら1メガビット・ブロックの各々は、2つの512Kbのメモリ・セルのセグメントから構成してある。従って、各クォドラントは8つのセグメントS1〜S8を備えている。また、各クォドラントは4096本のワード線を含んでいる

（ワード線のレイアウトは、矢印WLで示すとおりである）。各セグメントS1〜S8は、1112対のビット線対を含んでおり、それらビット線対の夫々のセグメント内におけるレイアウトは矢印BLで示すとおりである。各ブロックB1〜B4は、そのブロックに専用のセンスアンプの組SA1〜SA4を備えており、それらセンスアンプの組は、物理的には各ブロックの夫々のセグメントとセグメントとの間に配置されている。ワード線のためのアドレス・デコーダは、次の各部分から構成されている。即ち、1群のワード線を選択するための、このチップを横断して並設した複数のワード・システム・

プリデコーダ62A、62Bと、クォドラントの中の4096本のワード線のうちから2本を選択するための、このチップを上下に縦断して並設した4096個のワード・デコーダ64A、64Bとから構成されている。図1に示すように、ビット・デコーダBDECは、このチップの中央に配設されており、2個の互いに同一構造で互いに独立したデコーダを包含したものとしてある。それら2個のデコーダは、互いに隣接したクォドラントの夫々のブロックに結合されている。また、実際には、それらデコーダは全て標準的なNORノード型のものとしてある。

【0025】図3は、図1及び図2の諸々の機能ブロックの間の相互関係、並びにそれらブロックの全体としての動作を示すロジック図である。外部からの行イネーブル（row enable）信号である行イネーブル・フェイズ信号（RE）が低レベルへ移行することによって、このチップは動作を開始し、動作を開始したならば先ず最初に、ワード線のデコードに関係した内部クロック・ジェネレータ（RE・PHASES）70が始動される。それらの複数の信号のうちの1つが、「1/4ブロック選択」（1/4・BLOCK・SELECT）72をイネーブルし、この「1/4ブロック選択」72は、このチップ上に設けられているアドレス・バッファ並びに真/補数ジェネレータ（不図示）から、アドレスの最下位の2桁に相当する信号A9とA10とを受け取る。「1/4ブロック選択」72は、各クォドラントの中の4096本のワード線のうちの1024本から成るワード線群を1つ選択するものである。また、この「1/4ブロック選択」72はイネーブル信号Eを送出し、このイネーブル信号Eは、複数のプリデコーダ（ROW・PRE・DEC）74と、その選択したブロックの中の夫々512本ずつのワード線に各々が対応している複数のデコーダ群（WDEC）76A〜76Dの、その各々のデコーダ群のうちから1つずつのデコーダとを、イネーブルするものである。それらプリデコーダ並びにそれらデコーダの両方によって、アドレス信号A0〜A8がデコードされ、そしてそれによって、512本のワード線から成る各セグメントのうちの1本のワード線が選択される。

【0026】図4は、本発明のセンス・システムの詳細な回路図を示す。選択したワード線WL上の電圧が立ち下がることによって、P形MOS・FET（P09）がターンオンする。すると、キャパシタCS1に蓄積されていた電荷がビット線BTへ転送される。このビット線は、1988年7月にイトウ（Itoh）に対して再発行され日立社に譲渡された米国再発行特許第RE32708号に記載されている種類の、折返し形ビット線である。従って、センスアンプは、互いに隣接する2本のビット線BTとBCとに結合されており、また本実施例では、基準ワード線RL2が立ち下がることによって、ビット線BCへ基準電圧が供給されるようにしている。ワード

線WLが立ち下がった後に、RE・PHASES70からの信号SETNが立ち下がり、それによって、センスアンプ71の、n型ラッチ71Nとp型ラッチ71Pとがセットされる。n型ラッチ71は、ビット線BTとBCとを、選択されたメモリ・セルに蓄積されている電荷の関数として、互いに反対の状態（高電位状態と低電位状態）へ駆動するものである。そしてp型ラッチ71Pは、それらビット線BTとBCを、それらの高電位ないし低電位の状態にラッチするものである。

【0027】これより再び図3を参照して説明するが、以上の動作は、1つのクオドラントの中にある1112対のビット線対（後に説明するように、それらのうちには冗長ビット線も含まれている）の全てにおいて実行されるものであることに注意されたい。続く次の重要なステップは、ビット線デコード動作を実行することである。このデコードは2つの重要な要素を含んでいる。外部クロックである列イネーブル（column enable）信号CEが立ち下がることによって、このビット・デコード動作が開始される。そのときに供給されている11個のアドレス・ビットのうちの、最上位のビットA7からA10までが、列デコーダ（COL・DEC）82によってデコードされる。列デコーダ82は、16者択1のデコードを行ない、それによって、各クオドラントの1112対のビット線対のうちから139対のビット線対が選出される。そして、再び図4に関して説明すると、139対のビット線対BT、BCはBSG信号が立ち上がることによってデータ線に結合される。即ち、BSG信号が立ち上がるとバス・トランジスタN15、N16がターンオンされ、そしてそれらトランジスタN15、N16がそれらビット線をデータ線（図4には示していない）に結合するのである。更に、冗長構成による置換や、誤り訂正が行なわれた後に、ECC20によって訂正処理を施された128ビットが、SRAM40AとSRAM40Bとに記憶される。また、残りのアドレス・ビットA1～A6は列プリデコーダ84によってデコードされ、それによって128ビットのうちから2ビット（SRAM40AとSRAM40Bとから各1ビットづつ）が選出される。最後に残るアドレス・ビットA0は、「データ入出力及びマルチプレクシング・ブロック」（DATA・I/O・AND・MUX）40Cによってデコードされ、それによって、それら2ビットのうちの1ビットが第1の出力用I/O（I/O・1）へ送出される。またこれとは別の方法として、この最後のデコードを実行しないようにする方法もあり、その場合には、第2の出力用ピンI/O（I/O・2）を使用することによって、それら2つのビットの両方を出力することができる。更にこれとも別の方法として、米国特許第4845664号（1989年7月にアイケルマン・ジュニアら（Aichelmann, Jr. et al）に対して発行されIBM社に譲渡された特許であり、この言及

をもって同米国特許の教示は本開示に包含する）に詳細に説明されているように、それら2つのビットの双方を、信号T（これはこの出力モードを指定する信号である）と信号DS（これは、当該クオドラントに関してそれら2つのビットのうちのいずれを先に出力すべきかを指定する信号である）との制御の下に、単一のピンI/O（I/O・1）へシークエンシャルに送出するようにすることもできる。

【0028】以下の説明においては、このチップへのアドレスが、11個の行アドレス・ビットと11個の列アドレス・ビットとを用いて（これを11/11と表わす）行なわれたものとして説明をする。ただし、発明の名称を「低電力アドレス・システム（Low Power Addressing Systems）とした、1990年12月2日付でバーサら（Barth et al）によって出願されIBM社に譲渡された米国特許第4999815号に説明されているように、このチップへのアドレスは、12/10のアドレス方式を用いて行なうことも可能である。

【0029】本発明のメモリ・チップ・アーキテクチャの特徴の多くは、オンチップECCの機能にあるため、これより図5～図7を参照して、このオンチップECCのシステムの説明をする。

【0030】本発明における読出しサイクルないし書込みサイクルは、その全てが「取出し」動作によって始まり（これはデータがDRAMからECCを介してSRAMへ転送される動作である）、そして「書戻し」動作によって終わる（これはデータがSRAMからECCを介してDRAMへ転送される動作である）ものとなっている。

【0031】ECCブロック30は、二重誤り検出／単一誤り訂正（DED／SEC）の能力を有する、奇数重み形のハミング符号を採用している。その他の種類の符号（例えば水平垂直パリティ等）を採用することも可能ではあるが、奇数重み形ハミング符号が好ましい理由は、極めて低廉なコストで非常に優れた誤りへの対処をすることができるからである（奇数重み形ECC符号とその他の符号との比較対照の詳細については、題名を「フォールト・トレラント・ダイナミックRAMのためのオンチップ誤り訂正符号のコスト解析」としたN. ジャワラらの論文（article by N. Jarwala et al entitled "Cost Analysis of On Chip Error Control Coding for Fault Tolerant Dynamic RAMs," Proceedings of the Seventeenth International Symposium on Fault-Tolerant Computing, Pittsb. PA, July6-8 1987, pp. 278-283）を参照されたい。本実施例においては、データ・ワードのビット数には128ビットを採用しており、この場合に必要なチェック・ビットの個数は9ビットであり、従って、誤り訂正ワード（ECW）の全体としては137ビットになっている。

【0032】図5に示すように、ECCブロック30

は、9つのシンドローム・ジェネレータ30S1~30S9から構成したものである。シンドローム・ジェネレータ30S1の中に示してあるように、各シンドローム・ジェネレータは3段式の排他的OR(XOR)ロジック・ツリーから構成されている。このロジック・ツリーの第1段(1S)は、第1組の複数の4入力XORゲートから構成されている。また第2段(2S)は、おおむね4個の4入力XORゲートから構成される。そして最終段(3S)は1個の4入力XORゲートである。ここで注意して頂きたいことは、複数備えられているシンドローム・ジェネレータ30S1~30S9は、その入力の個数を夫々に異ならせてある(具体的には、夫々、51、59、59、59、55、59、60、47、及び56としてある)ということであり、これによって接続配線のレイアウトの最適化を図っているのである。このように3段式に配列されたXORゲートによって、128個のデータ・ビットのある1つの部分集合のパリティが発生されるようにしてある。そして、発生されたパリティ・ビットは、当該部分集合に対応する、記憶されていたチェック・ビットと比較される。シンドローム・ジェネレータ30S1の第3段から送出される出力ビットは1シンドローム・ビットであり、このシンドローム・ビットは、9ビットのシンドローム・バス32の対応する1本の線に結合される。シンドローム・ジェネレータ30S1~30S9の各々の第1段へ入力される複数の入力は、128個のデータ・ビットの中のある1つの部分集合を構成している。ある1つのシンドローム・ジェネレータが受け取るデータ・ビットの部分集合は、その他のシンドローム・ジェネレータのものとは異なった独自の部分集合としてあり、それら部分集合は、誤り訂正符号の必要条件を満たすように定められている。即ち、それらXOR入力は、ここに採用した誤り訂正符号を規定するパリティ・チェック・マトリクスに従った、128ビットのデータ・ワードの中の所定の部分集合のパリティを、算出するように配線されているのである。

【0033】このメモリ・チップヘデータの書込みを行なうときには、128ビットのデータ・ワードを、このメモリ・チップのI/OパッドからSRAMレジスタ40Cへ書き込むようにする。128個のデータ・ビットから成るこのデータ・ワードは、外部行イネーブル信号REの立上りエッジでECCシステムの中へ転送されて、シンドローム・ジェネレータ30S1~30S9の入力部へ入力される。このとき、それらシンドローム・ジェネレータ30S1~30S9の全入力部のうちの、残る9つの入力部は、論理状態「0」に保持されている。そして夫々のチェック・ビットが発生されたならば、それらのチェック・ビットはシンドローム・バス32からスイッチSWと複数のインバータ34とを介してDRAMの複数本のデータ線に結合される。そしてこれらの、128個のデータ・ビットと9個のチェック・ビ

ットとの双方が、それらデータ線DLを介してDRAMのアレイへ書戻される。

【0034】取出し動作を行なうときには、128個のデータ・ビットと9個のチェック・ビットとから成るECWを、既に説明したようにして、DRAMアレイから読み出す。この読み出したデータは、夫々のビット線とECCシステムとの間に結合されている137本のデータ線DL上へ送出する。先に説明した、この128ビットのデータ・ワードの中の夫々の部分集合と同じ複数の部分集合によって、合計9個のチェック・ビットを発生する。続いて、これら新たに発生したチェック・ビットと、それら128個のデータ・ビットを最初にこのチップに書き込んだときに、それら128個のデータ・ビットについて予め記憶しておいたチェック・ビットとの間の比較を行なう。この比較は、シンドローム・ジェネレータの夫々の出力部(不図示)において、1つ1つのビットごとにXOR演算を実行することによって行なう。この比較の結果発生する9個のシンドローム・ビットは、誤りシンドローム・アドレスを表わすものである。このシンドローム・データは9ビットのシンドローム・バス32上へ送出し、そして、このシンドローム・データの2進値は、128個のNORデバイス36(即ちデータ・ビット1個につき1個ずつのNORデバイス)によりデコードするようにしてあり、それによって、不良ビットの位置を(即ち、どのデータ・ビットが不良かを)表わすようになっている。137個のビットから成るECWの中に誤りが1つもなかった場合には、新たに発生した複数のチェック・ビットは、当該データ・ビットを最初に書き込んだときに記憶しておいた複数のチェック・ビットと同じものとなっており、この場合には、結果的に発生されるシンドローム・アドレスは「0」になる。誤りが有った場合には、シンドローム・バス32は、不良ビットの位置を示す9ビットのアドレス信号(1/128)を供給し、そして該当する位置にあるNORデコーダ36が、誤りフラグ・ビットEBを発生することになる。128個のNORデコーダ36からの夫々の出力は、128個のXORゲート38において、128個のデータ・ビットの夫々との間でXOR(排他的論理和)が取られ、これによって、あるデータ・ビットに対応した誤りビットEBが活性化されていた場合には、そのデータ・ビットを反転する。そして、それら128個の2入力XORデバイス38の各々からの出力が、128ビットのSRAMレジスタを駆動し、それによって、誤り無しのデータ・ビットがこのSRAMレジスタに供給されるようになっている。

【0035】実際問題としては、シンドローム・ジェネレータ30S1~30S9の中のXORゲートは、従来の任意の種類のロジックを用いて構成することのできるものであるが、差動カスコード電圧スイッチ(DCVS)ロジックを用いるのが好ましい。DCVSは、19

86年2月にグリフィンら(Griffin et al.)に対して発行された米国特許第4570084号(同米国特許の教示はこの言及により本開示に包含する)に詳細に説明されている。図7はDCVS形の4入力XORの回路図である。トランジスタT2~T15によって、4入力XORの機能を有するN形の組合せロジックを形成しており、この4入力XORには、AT、ACからDT、DCまでの差動入力部を備えている。フェイズ信号PCが駆動されてハイ状態とされたならば、差分信号A、B、C、及びDの排他的論理和(XOR)である差分出力を、トランジスタT16、T17、T20、及びT21によって形成されているインバータによって駆動して、ノードQT及びQCに発生する。また、トランジスタT18及びT22がソフト・ラッチ作用することによって、リークに対する防護をなしている。

【0036】DCVSロジックを用いる理由は、高スイッチング速度であることと、優れたテスト容易性(テストビリティ)を有することとの、2つを兼ね備えているからである。第1段S1に入力データ・ビットを受け取ってから訂正処理済データをSRAMへ転送するまでの合計遅延は、5ナノ秒程度となっている。前述のジャワラ論文の中で指摘されているように、過去においてオンチップECCが採用されなかった主な理由の1つに、オンチップECCとしたならば、それによって合計アクセス・サイクルに追加される遅延が余りにも大きいということがあった。本実施例のECC回路は、DCVSロジックを用いることによって、アクセスに関する大きな代償を払うことなく歩留り並びに訂正に関するECCの利点が得られる程度にまで、この遅延を短縮している。更には、ECCロジックが100%のテスト容易性を発揮し得るようにもしている。即ち、図5及び図6に示すように、SRAM40の一部分40Dを介して、9個のチェック・ビットに個別にアクセスできるようにしているのである。図5に示すように、1テスト・サイクルの間にスイッチSWの切替位置を変化させることによって、シンドローム・バス32上に送出されているチェック・ビットを無視して、テスト用のチェック・ビットを直接、SRAM40Dからデータ線DL上へ書き込むことができるようにしてある。データ・ビットの様々な組合せ(テスト・ベクトル)に対応したチェック・ビットを外部から設定することによって、ECCロジック・システムを関与させることなく、DRAMの複数のメモリ・セルを個別にテストすることができるようになっている。更にはECCロジックを迅速にテストすることも可能となっており、これは、DCVSロジックの諸々の故障モードが固有の特性を有することによるものである。即ち、DCVSロジックの2つのゲートからの夫々の出力は、セット状態になるまでは共に「0」となっており、そしてセット状態となったならば、それら出力うちの一方が、しかも一方のみが「1」になるものである。

もしこのロジックが故障したならば、それら出力は、一方のみが「1」になるはずのところ、共に「1」となるか、あるいは共に「0」となり、これらの状態がロジックの中を伝播されることによって、障害検出が容易に行なわれるのである。

【0037】以上で、ECCブロック30の説明を終了する。次に、本発明における冗長システムについて、図8~図12を参照して説明する。

【0038】ビット線冗長構成の動作を説明するについては、その前にまず、本発明におけるデータ線の構成について理解しておく必要がある。ここまでの説明では、データ線については、単に、アレイの複数本のビット線をECCシステムの複数の入力部に接続している、複数本の線であると説明しただけであった。しかしながら実際には、それらデータ線は、3つの要素に分かれている。それら3つの要素とは、プリデータ線(PDL)と、中間データ線(MDL)と、全データ線(DL)とである。PDLは、アレイの中のビット線に接続している。MDLは、PDLと冗長PDLとを組合せたものに接続する。DLは、MDLか、あるいはワード線冗長構成からのビット線かの、いずれかに接続するものであり、ECCシステムの入力部に結合している。複数本のPDLは、物理的には、メモリ・アレイの上に重ねた第2レベルの金属内に形成されている。それらPDLは、選択されたワード線に対して直角に延在していなければならない。従って第1金属ビット線に対しては平行でなければならない。もし、それらPDLが直線状である場合には、1つの金属ビット線は、そのPDLに対して大きな容量性結合を有することになる。実際には、それらPDLの下にあるアレイの中のメモリ・セルがセンスされている間に、それらPDLが状態を変えてしまうようなことはないが、しかしながら、特に、追加された負荷がバランスしていないような場合には、その直流寄生成分のみでもセンスアンプを妨害するには充分である。そこで、所与の1本のビット線に対する容量性結合を小さく抑えるために、PDLを、アレイの上をジグザグ状に横断するように形成してある。PDLが1つのセグメントを横断する長さは、PDL間の間隔と比較して極めて長い。PDLがビット線と交わる角度は、僅かに3度でしかない。そのため、PDLの長さは殆ど長くなってはいない。所期の16分の1にまで減少しているような最悪の装荷の場合を除外すれば、その装荷は両方のビット線の間でバランスし、従ってその結合はアライメントに不感のものとなっている。以上は、図15(1つのセグメント全体のPDLを示す)と図16(図15の拡大図であって、白っぽい線は第1金属(M1)ビット線、それより黒っぽい線がPDLである)とに示すとおりである。更に付記すると、MDLはPDLスイッチとDLとの間に形成しており、DLはMDLスイッチとECCとの間に形成してある。従って、これら3組のデータ線

とそれらに組み合わせたスイッチとは、ロジック・ブロックのパイプライン方式のレイアウトに即したものとなっており、即ち、これら3組のデータ線もまた、略々パイプライン方式でレイアウトされている。

【0039】既に述べたように、クオドラントの各々は、1112ビット線対の幅としてある。これら1112対のうちの16対のビット線対が、冗長ビット線対であり、また、それら冗長ビット線対は同時に2つのブロックの置換に用いられるようにしてあり、その結果、冗長ビット線対の要素は32となっている。

【0040】図8は、ビット冗長システムのブロック図である。4つある冗長ビット線ブロックRBLA、RBLB、RBLC、及びRBLDは、その各々のブロックを、8本の冗長ビット線から成るビット線群としてあり、またそれら冗長ビット線は、互いに隣接するアレイ・ブロックの間で共用されるようにしてある。特に、冗長ビット線ブロックどうしは、夫々のアレイ・ブロックの中においては、互いに物理的に離隔させて配置してある。このようにしたのは、ビット線冗長構成の信頼性を高めるためであり、即ち、1つのビット線群の冗長セルが例えばパターンの欠陥等の原因により故障セルとなってしまう場合にも、それと同一の欠陥を原因として、他の冗長ビット線群に機能障害が発生する見込みを、低減しておくためである。

【0041】各クオドラントは139本のPDLを備えている。それら139本のうちの、137本のPDLは、ECW（ECWは128個のデータ・ビットと9個のチェック・ビットとから成る）をサポートしており、また2本のPDLはビット線冗長構成をサポートしている。図8に示すように、それら2本のPDL（RPDL1、RPDL2）は互いに離隔した位置に配設してある。

【0042】各クオドラントは更に複数のヒューズ・バンクを備えている。それらヒューズ・バンクは、一対の冗長ビット線対につき2つずつ設けており、1つのクオドラントには合計32のバンクを備えている。各ヒューズ・バンクは8個のヒューズを含んでいる。ヒューズ・バンクは、図8には、要素12A、12Bとして示してある。

【0043】以上のビット冗長構成の作用は以下のとおりである。即ち、テストを行なった際に不良ビット線を検出したならば、適用可能な冗長ビット線（同一のブロックの同一の側の略々同一の位置にある冗長ビット線）に対応したヒューズ・バンクに対し、その冗長ビット線が不良ビット線に置き換わるようにプログラムする。従来技術においては、この置換を行なうのに、ヒューズに対し、これが不良ビット線のアドレスをレプリケートするようプログラムするという方法を取っていたが、本発明においては、プログラムを施したヒューズ・バンクそれ自体の識別が、置換すべきビット線のアドレスを表わ

すようにしている。即ち、このヒューズ・バンクは、そのビット・アドレス信号を受け取るようハード的に配線されている。そして、その受け取ったビット・アドレス信号が、その選択した論理状態に該当していたならば、その選択ヒューズ・ベイを読み出す。それらのヒューズに熔断によって設定されている論理状態は、その不良ビット線が結合したPDLのアドレスを示している。特に、この動作は、その指示されたビット線が不良ビット線であるか否かとは無関係に、各サイクルごとに生じる。

そして、その指示されたビット線が不良でなかった場合には、該当するヒューズ・バンクのプログラムを解除するようにしている。図8に示すように、受け取ったアドレスが不良ビット線のアドレスであった場合には、該当するヒューズ・ベイの複数のヒューズの状態を、8本の出力線14Aまたは14Bを介して、ビット冗長プリデコーダ16Aまたは16Bへ転送し、それらのプリデコーダ16A、16Bは、転送されてきた8個のヒューズ信号を、15個のプリデコード化出力信号へ変換し、そしてそれらの出力信号を、ビット冗長ステアリング・ブロック10A、10Bがデコードする。

【0044】図9は、ステアリング・ブロック10A、10Bの詳細なブロック図である。これらステアリング・ブロックの各々は、2段階のデコーダを備えている。各ステアリング・ブロック10A、10Bにおいて、その第1段をなすデコーダ110A、110Bは、1/8デコード機能を有するものであり、また、それら各ステアリング・ブロック10A、10Bの第2段をなすデコーダの組112A、112Bは、1/16デコードを実行するものである。第2段をなすこのデコーダの組には、137個の別個のデコーダ（例えば112A1、112A2等）が含まれており、それらデコーダの1つ1つが、PDLの1本ずつに組合わされている。それら137個のデコーダはグループ分けされており、その内訳は、18個のデコーダからなる群（グループ）が4つ、17個のデコーダからなる群が1つ、それに16個のデコーダからなる群が3つである。第1段のデコーダ110Aは、プリデコーダ16Aから送出される15個のデコード化信号のうちの6個を受け取り、それら6個の信号をデコードすることによって、複数のデコーダ112Aの、上記8つのデコーダ群のうちのどの群がアドレスされているのかを解読する。その選択されたデコーダ群に所属している複数のデコーダ112Aは、プリデコーダ16Aから送出されている、15個のデコード化アドレス信号の全てを、信号の組合せとして受け取ることであり、それによって（137個の）デコーダのうちから、該当する群に所属する1個のデコーダを選択する。あるデコーダが選択されたならば、そのデコーダはターンオンし、それによってそれに対応したMDLを、選択したPDLから切断し、そしてその切断したPDLの代わりに、冗長PDLを代用することになる。従って、本

発明に係るビット線冗長構成は、アレイ中の任意のビット線の代わりをする置換を可能としており、またその置換に伴うオーバーヘッドは非常に少なく、アクセス遅延も小さく、しかもこの置換を行なうには、故障しているビット線に接続しているPDLに代えて冗長PDLを用いるようにするためのスイッチングを行なうだけで良いのである。

【0045】図10は、複数のデコーダ112Aのうちの1つのデコーダ112A1を詳細に示したものである。図中のDECと記したブロックは、先に説明したデコード機能を提供している。このDECの出力がハイ状態にあるとき（これは、デコーダ112A1が選択されたことを表す状態である）には、冗長PDL（RPDL）がMDLに接続されている必要がある。そのため、DECがハイ状態にあるときには、トランジスタTTN1及びTTP1がターンオンしていることによって、RPDLをMDLの入力部へ通すようにしている。一方、DECがロー状態にあるときには冗長構成を起動しないため、トランジスタTTN1及びTTP1がオフ状態のままである一方で、トランジスタTTN2及びTTP2はターンオンしているようにすることによって、PDLの方がMDLの入力部に結合するようにしている。

【0046】以上に説明したビット冗長システムにおいては、137本のMDLは、ワード冗長システム20を通った後に、ECC30へ入力されるようにしてある。このワード冗長システムについて、これより図11～図13を参照して説明する。

【0047】ワード冗長構成のアレイ20は、24本のワード線×1096対のビット線対によって構成しており、それらのワード線及びビット線は、DRAMのアレイとは独立して動作するようにしてある。このアレイ20には、真のデータと、それに対して相補的なデータとの両方を記憶するようにした、ツイン・セル式のアーキテクチャを採用している。このアレイ20の規模をこのように小さなものとしたため、ツイン・セル領域を設けるための追加のコストも、支援回路を設けるためのコストと比べて、比較的小さなもので済むようになっている。

【0048】チップ上の、この冗長ワード線アレイ20の形成領域を、メイン・メモリ・アレイからは離隔した領域としたことによって、信頼性が向上しており、その理由は、これによって、この冗長アレイ20が、メモリ・アレイ内に存在するパターン欠陥等からの影響をより受け難くなっていることにある。これは、ワード冗長構成をECCシステムと組合せて用いる場合には特に重要なことであり、なぜならば、ECCを採用した場合には、ワード冗長構成の歩留りの悪さの影響が相対的に増大するからである。更には、複数の冗長ワード線を、クオドラントのある特定のセグメント内に形成しないようにしているため、それら冗長ワード線を、そのクオドラ

ントの中のどの障害ワード線の代わりとしても、置換することができるようになっている。

【0049】オンチップECCと組合せた使用に最適化したこのワード冗長システムのもう1つの特質は、ツイン・セル式のアレイを採用したことにある。図11に示すように、各冗長ワード線RWL0、RWL1は、各ビット線上のメモリ・セルに結合している。従って、各ワード線は、ハイ状態とロー状態とを記憶している2つのメモリ・セルに結合している。所与のあるワード線が選択されたならば、そのワード線がターンオンすることによって、2本のビット線の夫々がそれらのハイの値とローの値とにセットされる。特に、この点に関しては、メイン・メモリとは異なった方式としてあるわけであって、即ち、メイン・メモリではダミー・セルを用いて比較用の電圧を作り出す方式としている。ツイン・セル式の構成では、フルの「1」とフルの「0」とがセンスアンプへ供給されるため、そのセンスアンプが夫々の状態を誤ってセンスする可能性は最小限となっている。またそれと同時に、センス動作のためフル論理レベルが提供されることから、センスアンプがセット状態になるまでの時間も短縮されている。更にそれと同時に、このアレイの奥行き寸法を僅かにワード線24本分としてあることから、ビット線の長さが非常に短くて済んでおり、そのためビット線の転送速度が高速となり、センス動作が更に優れたものとなっている。

【0050】以上に説明した特質以外に関しては、この冗長ワード線アレイの具体的な動作方式は、現行の種々の構成におけるものと同様としてある。即ち、図12に示すように、欠陥ワード線のアドレスを24個のヒューズ・ベイ22A、22Bのうちの1つに記憶させるようにしており、1つ1つのヒューズ・ベイは、この冗長アレイの中の、夫々1本のワード線の専用としてある。ヒューズ・ベイは、そのときアドレスされている、メモリ・アレイの中のワード線が、置換すべきワード線であるか否かを判別するものである。この判別は、その行アドレスと、そのヒューズ・ベイに記憶しているアドレスとを比較することによって行なう。それら双方のアドレスが互いに一致したときに、メモリ・アレイの中の選択されたワード線に代えて冗長ワード線を用いる置換を行なうようにしており、ここでは、複数のヒューズ・ベイのいずれも、そのヒューズ・ベイに対応する冗長ワード線がクオドラントの中の4096本のワード線のうちの任意のワード線の代わりとして置換されるように、プログラムすることができるものとしてある。続いて、CASサイクル中に、メモリ・アレイの中で実行されるビット線デコードと同様のビット線デコードを実行し、それによって、この冗長アレイの中のビット線のうちの1本を選択する。このデコードの関数として信号BSが立ち上り、それによってワード冗長アレイから出ている137本のビット線をECC30へのデータ線DLの入力部へ

結合する。それらDL入力を、複数のMDL出力と、この冗長アレイの複数のビット線との間でスイッチングするには、図10に示したビット線冗長構成における置換用のスイッチと同様に構成したスイッチング回路網を用いれば良い。また、そのスイッチング回路網は、冗長ワード線が活性化されているか否かを示す補助信号によって制御するようにすれば良い。

【0051】本発明においては、最適化したオンチップ誤り訂正符号回路と冗長回路とを組合せたことによって、フォールト・トレランスのための相乗効果が得られている。この相乗効果は、誤り訂正符号の採用に伴う重大な制約を冗長回路を用いて回避したことによって得られたものであり、この重大な制約とは、1つのECWの中に2個以上の故障ビットが発生した場合には、奇数重みDED/SEC符号では、そのECWを訂正することができないということである。この問題を回避するための方法の1つは、ビット線にインターデジティションを施すというものであり、これは、互いに隣接するビット線どうし、ないしはメモリ・セルどうしを、異なったECWの要素とするというものである（このようにすると、互いに隣接するビット線ないしメモリ・セルが故障した場合にも、それらの故障は1つのECCワードの中の二重誤りとしては出現せず、夫々が異なったECCの中の単一誤りとして出現するようになる）。本実施例においては、1本のワード線上の8対の互いに隣接したビット線対ないしメモリ・セルを、夫々に異なったECWに対応させている。このようにしたときに137ビットのECWの中に2個以上の故障が発生する確率を計算により求めたところ、16メガビットのメモリの中に428個の障害メモリ・セルがランダムに発生する状況にあるとき、1つの137ビットの誤り訂正符号ワードの中に2つの障害セルが出現することがない（従ってそのチップの訂正をECCのみによって行なうことができる）見込みは、50%よりも上であることが分かった。従って、全てのこの種の欠陥によるところの歩留りは50%以上ということになる。これに対して、1個のチップに1000個の故障メモリ・セルがランダムに発生する状況にあるときには、いずれの誤り訂正符号ワードの中にも複数の故障セルが発生しない見込みは2%より小さく、従って歩留りも2%になってしまう。

【0052】ここで説明したチップでは、誤り訂正が有効なのは、1つの誤り訂正符号ワードの中の障害ビットの数が1つだけの場合に限定されている。1つの誤り訂正符号ワードの中に更に多くの故障が存在している場合には、それらの故障の回復は、冗長構成によらねばならず、もし冗長構成によって回復できなければ、そのチップ自体が故障チップとなる。誤り訂正でチップのフォールト・トレランスの最適化を図るためには、1つの誤り訂正符号ワードの中に複数の故障が発生するという事態を、体系立った方法を用いて排除することが必要であ

る。これを達成するための第1のステップは、各クオドラントの中において、2つのブロックが、それら2つのブロックの中の任意の欠陥ビットに代わる置換が可能なそれらのブロックに専用のビット線を備えるようにした、本発明のビット線冗長構成を用いることである。コンピュータによるシミュレーションと理論的な計算とによれば、ECCのフォールト・トレランスは、本発明の冗長ビット線を採用することによって非常に顕著に向上する。

10 【0053】図13に示すように、誤り訂正符号回路を採用しない場合（即ち、冗長ビット線のみを採用した場合）には、チップ1個あたり平均28個の単一セル故障がランダムに発生する状況において、16Mbのチップの歩留りの期待値が50%になる。また、誤り訂正符号回路のみを用いてビット線冗長構成を用いない場合には、既述の如く、チップ1個あたり平均428個の単一故障がランダムに発生する状況において歩留りが50%になる。本発明のビット線冗長構成と誤り訂正符号とを組合せて用いるならば、チップ1個あたり平均2725
20 個の単一セル故障がランダムに発生する状況において50%の歩留りが得られる。更に理論的に解明したところによれば、フォールト・トレランスは、セグメント1個あたりの冗長ビット線の本数が増加するに従って急激に向上する。従って、この具体例においてはセグメント1個あたりの冗長ビット線の本数は2本としているが、実際問題としては、冗長ビット線を増設すれば、それによって更に信頼度を増すことができる。本実施例において冗長ビット線の本数を2本としている理由は、本発明の冗長ワード線の技法を採用することによって更に優れた
30 フォールト・トレランスの最適化を達成することができるからである。

【0054】既述の如く、このチップは4つのクオドラントに分割されており、それらクオドラントの各々が、24本の冗長ワード線から成る別体のアレイを備えている。従って、所与の1本の冗長ワード線は、1つの誤り訂正符号ワードに複数の欠陥が含まれている場合には、そのような誤り訂正符号ワードの8個分の機能代行を行なう置換が可能となっており、しかも、アレイを別体のものとしたことと、ツイン・セル式ワード線技法を採用
40 したこととによって、その置換をより信頼性の良い方式で（即ち、二重誤りを含むECWを新たに発生させる見込みの小さい方式で）行なえるようになっている。この能力のために、ワード線冗長構成には、ビット線冗長構成の効果をしのぐ、相乗効果が付与されるのである。そしてこれは、ワード線に関して、複数の故障が同じワード線上に現れないようにすることによって達成されている。こうして得られた歩留りの値を、図13の更に別の曲線で示してある。それらの歩留りの値には、この冗長ワード線の歩留りの値が反映されている。ここで、仮に
50 この冗長ワード線の歩留りの値が、通常ワード線の歩留

りの値と同じであったとしたならば、50%歩留り点は、平均4016個の単一セル障害が発生する点に位置することになる。しかしながら、本実施例のチップにおいては、冗長ワード線は、別体のアレイとしてツイン・セル技法を採用しているため、冗長ワード線の方が、通常ワード線よりも欠陥に対する感受性が低減している。このようにした冗長ワード線の歩留りの値を100%であると仮定すれば、50%歩留り点は、チップ1個あたり平均5661個の単一セル故障がランダムに発生する点に位置することになる。従って、オンチップECCに最適化したビット線冗長構成とワード線冗長構成との両方を用いることによって、50%歩留り点は、ECCのみによって達成される50%歩留り点よりはるかに数字の大きなところに位置することになる。実際問題として、機能し得る部品が特に必要な製造サイクルの初期における歩留りが、これによって顕著に向上し、またそれと同時に、チップの領域故障に対する耐性も向上する。チップの製造工程の複雑さ及び／または費用がある程度一定のものであるとすれば、これらの歩留り及び／または信頼性の向上は決定的な重要性を持つことになる。

【0055】ECC30によってデータ・ビットの訂正を行なったなら、その訂正済のECWをSRAM40へ転送する。SRAM40は1×144ビットのデータ・レジスタであり、このSRAMのセルの各々は、一般的な、4個のデバイスから成るクロス結合型ラッチ（図14に40Aで示した）である。図14に示すように、SRAM40のセルが記憶する論理状態を設定することのできるソースには、2つの異なったソースがあり、即ち、このチップの外から（WDCとWDTとを介して）設定することもでき、また、ECCの出力部から（SRTとSRCとを介して）設定することもできるようになっている。更には、SRAM40のセルがデータを送出することのできる送出先にも、2つの送出先がある。即ち、ECCへ（CAとTAとを介して）送出すること、出力ピンへ（出力部SROを介して）送出すること、いずれも可能としてある。このSRAMの複数のセルは、各々が72個のセルから成る2つのセル群にグループ分けされている。図3に示すように、出力ピンからのデータの読出し、ないしは出力ピンへのデータの書込みの際に、各セル群の中の72個のセルのうちのどのセルにアクセスすべきかを、デコーダ84が決定するようにしている（図14において、書込みサイクルにおけるデコード信号はDECWであり、読出しサイクルにおけるデコード信号はDECR及びDECR'である）。

【0056】SRAM40は、主としてECWへのアクセスのための手段として用いるものであるが、ただしその他の利点をも提供しており、その利点とは、オンチップECCシステムとするために払うアクセスに関する代償、及び／または面積に関する代償を低減するのに役立つということである。即ち、128個のデータ・ビット

が、このメモリの出力ピンに近接した部分において利用可能であるために、例えばページ・モード、スタティック・コラム・モード、並びに前述のIBM社に譲渡された米国特許第4845664号に記載されているアクセス・モード等の様々な複数ビット出力モードを、非常に高速のデータ転送速度で実行することができるようになっている。SRAMを用いることによって実行可能なその他の動作モードの1つに、ページ・クリア・モードがある。即ち、書込みサイクル中に、このSRAMに書込みを行って、I/Oパッドに在るデータ状態にする。続いてこのデータはアレイへ書戻すが、その際に、アドレスは、RE時には選択したワード線を表わし、また、CAS時には選択したECWを表わすようにする。このようにして、1枚のページのビット位置が不連続である

（即ちインターデジテーションが施されている）ことにより、高速でデータ・パターンの書込みが行なえる。チップがなおページ・クリア機能を行なっている間に読出しサイクルを実行すれば、メモリ・アレイのそのデータがSRAMへ取り出され、その128個のデータ・ビットの全てが互いに比較される。これによって、テスト時間が128分の1に低減される。この数字はチップの1つのクオドラント（4メガビット）についてのものである。チップ全体におけるテスト時間の低減は、128×4、即ち512分の1になる。

【0057】再び図3に関し、データI/Oブロック40Cには、上で説明した様々な動作モードとすることによって生じる、様々な高速のデータ転送速度に対応できるように、データ転送速度を制御自在としたオフチップ・ドライバ（OCD）が含まれている。また、それと共に、このOCDは、メモリ・カードに種々の、そして多くのデータ用の配線網が用いられているために発生する、電流サージに対する高度の耐性をも備えていなければならない。これらの特性を備えたOCD構造でありさえすれば、どのようなOCD構造でも採用することができるが、ただし、発明の名称を「CMOSドライバ回路（CMOS Driver Circuit）」とした、1989年10月10日付でドレイクラ（Drake et al.）が出願しIBM社に譲渡した米国特許第5015880号に記載されているOCD構造を採用することが好ましいといえる。また、上で説明した様々な動作モードを設定するためには、一般的な手段を用いて動作設定するようにしてもよいが、本実施例においては、それらの動作モードの設定を電子的に行なうようにしており、それによって、ただ1つの型式のシリコン部品で複数の動作モードをサポートできるようにしている。このチップは、電源投入時には、このチップを搭載したパッケージに依じて定まるデフォルト・モードで先ず立ち上るようにしてあり、そして、例えばトグル・モード、高速ページ・モード、スタティック・コラム・モード等のこのチップの種々の動作モードのうちの任意の動作モードへと入れることがで

きるようにしてある。また、それらの動作モードへ入れるためには、単に、行イネーブル信号REが発生する以前の、列イネーブル信号CE及びワード・イネーブル信号WEが活性化しているときのアドレス入力をモニタしていれば良い。この特質により、このメモリ・チップは同時に2つ以上の動作モードで（ただしそれらの動作モードは、例えばスタティック・コラム・モードとクリア・ページ・モードというように、互いにコンパチブルな程度の動作モードである）動作し得るようになってい

る。複数のモード・アドレス・デコーダがアドレス信号をモニタするようにしており、そして、あるモード・アドレス・デコーダが該当するアドレスを受け取ったならば、それによって1つの動作モードを選択するようにする。即ち、その活性化されたモード・アドレス・デコーダが、図3の「データI/O及びマルチプレクシング」40Cへ制御信号を送出して、この「データI/O及びマルチプレクシング」の動作を、選択された動作モードの関数として制御する。動作モードのプログラミングを、このように電子的に行なうようにしたことによって、チップ寸法、電力、ないしは性能に悪影響が及ばずに済んでいる。また、このことによって、コスト並びに時間の節約が可能となっており、それは、ワンチップのシリコン部品のみを、設計し、その特性を定め、製造し、在庫させ、テストし、等々するだけで良いという事実によるものである。そしてこのシリコン部品は、そのアレイの全てのパターン感受性について完全にテストしておく。テスト時間の殆どの部分はアレイのテストに費やされるものであり、一方、動作モードの検証には短時間のテストで充分である。なぜならば、動作のモードとは、パッドとSRAMとをインターフェイスするロジックに過ぎないからである。

【0058】以上を要約するならば、ここでは、ビット線冗長構成とワード線冗長構成との両方をオンチップECCのサポートに最適化した、DRAMのアーキテクチャについて説明した。これらのビット線冗長システム並びにワード線冗長システムの最適化は、オンチップECCを実現するという意図の下に案出したものであるが、しかしながら、実際には、それら最適化したシステムのうち的一方ないしは両方を用いることによって、従来のシステム・レベルのECCをサポートする場合にも、多方面に互る同じ利点を得ることができる。本発明のワード線冗長構成は、ツイン・セル技法を用いることによって差分信号を最大限にしている。しかしながら実際問題としては、ワード線冗長システムの夫々のビット線を駆動する手段としては、レール電位をフル電位とするような任意の手段、例えば、SRAMのセル等を利用することも可能である。更には、本実施例においては、特に、SEC/DED奇数重みハミング符号を用いているが、いかなる種類の誤り訂正符号でも使用することができる。

【0059】既に述べたように、本発明の誤り回復システムは、製造時のハード的障害と、製造後の実地使用中に発生するソフト的ないしハード的障害との、いずれの障害の訂正にも用いることのできるものである。ただし、時がたてばその半導体プロセスの欠陥探究が進み、良好ビットの歩留りが充分に大きくなり、なお残っている不良ビットを冗長システムのみによって処置し得るレベルにまで、その欠陥探究が達することが考えられる。そして、そのようになったならば、オンチップECC回路は除去してしまい、残りの支援回路（例えばSRAM等）を用いて、ECCの機能をシステム・レベルで実行するようにすることが望ましいこともあり、また、そのようにしても、ECWをSRAMの中に記憶させておくことによってもたらされる、高速のデータ転送速度と効率的なコピー/テスト・モードとを享受することができる。本発明のアーキテクチャは、そのような場合に、ECCブロックを容易に除去し得るようになるものである。図1に示したように、夫々のクオドラントの各々のECCブロック30は、このチップの、そのECCブロック30以外の他の回路が形成されていない領域に形成してあることに注意されたい。更には、隣接するECCブロックどうしを、このチップの一方の長辺から他方の長辺へ向かって延在した、このチップの矩形の領域に形成してあることに注意されたい。従って、ECCブロック30は、その他の支援回路に支障をきたすことなく完全に除去することができるようになっている（その場合、MDLの出力を直接SRAMの入力へ結合するようにする）。これによって、最小限の設計変更コストでチップ上の「地所」を顕著に節約することができる。

【図面の簡単な説明】

【図1】本発明のメモリ・チップ・アーキテクチャを組み込んだメモリ・チップのレイアウトの上面図である。

【図2】図1のメモリ・チップの4つのクオドラントのうちの1つの拡大図である。

【図3】本発明のメモリ・アーキテクチャのブロック図である。

【図4】本発明のメモリ・アレイの中の1ビット線対の回路図である。

【図5】本発明のECCシステムのブロック図であり、書戻し動作を示している。

【図6】本発明のECCシステムのブロック図であり、取出し動作を示している。

【図7】図5及び図6のECCシステムに用いている、4入力DCVS・XORの回路図である。

【図8】本発明のビット冗長システムのブロック図である。

【図9】任意の線を任意の線へ接続し得る方式で複数本のPDLと複数本の冗長PDLとを複数本のMDLへ接続する、スイッチ回路網のブロック図である。

【図10】図9において用いているスイッチ回路の回路

図である。

【図11】本発明のワード線冗長アレいの1ビット線対の回路図である。

【図12】本発明のワード線冗長アレいのブロック図である。

【図13】本発明の誤りメモリ回復技法を含む種々の誤りメモリ回復技法における、単一セル障害の平均個数に対する歩留りのグラフである。

【図14】本発明のSRAMの複数のセルのうちの1つを、読出し／書込み支援回路と共に示す回路図である。

【図15】図1のメモリ・アレいの一部分の上面図であり、本発明のプリデータ線PDLのレイアウトを示す。

【図16】図15のメモリ・アレいの一部分の拡大図である。

【符号の説明】

10A、10B ビット冗長ステアリング・ブロック

16A、16B プリデコーダ

20 ワード冗長アレい

22A、22B ヒューズ・ベイ

30 誤り訂正回路(ECC)

40 SRAM

50 I/Oパッド

100 メモリ・チップ

110A、110B デコーダ

112A、112B デコーダ

10 ECW 誤り訂正ワード

PDL プリデータ線

MDL 中間データ線

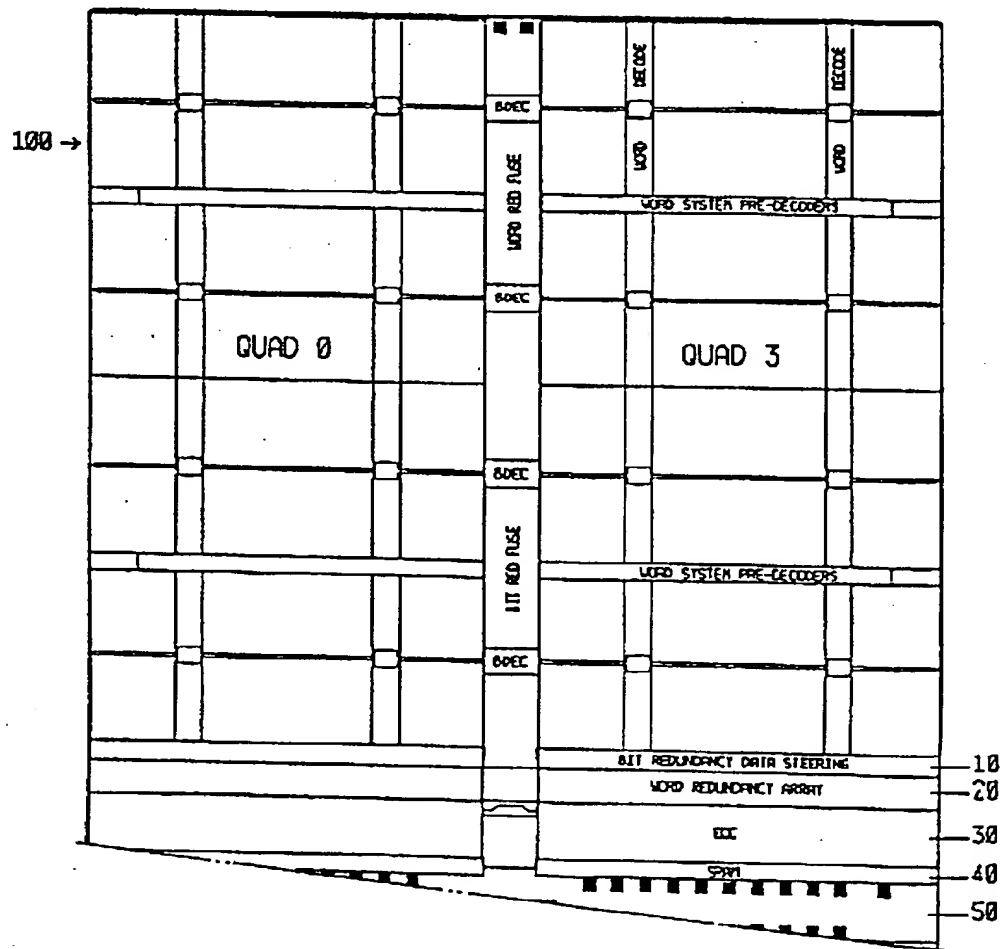
DL 全データ線

RBLA、RBLB、RBLC、RBLD 冗長ビット線ブロック

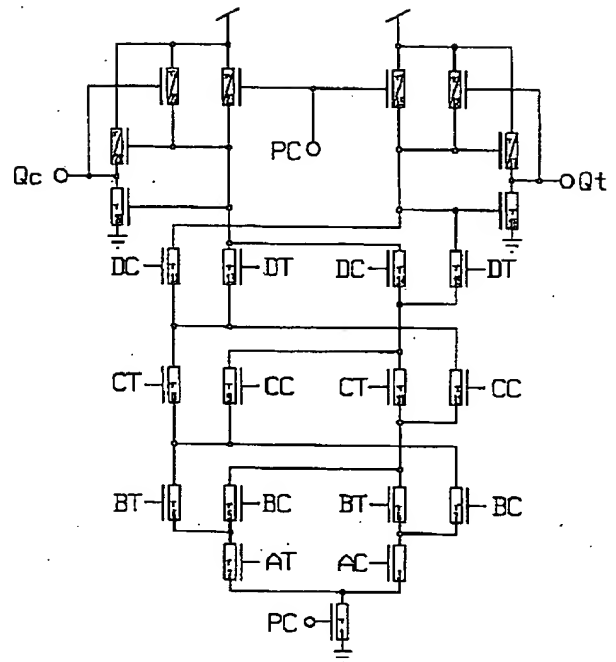
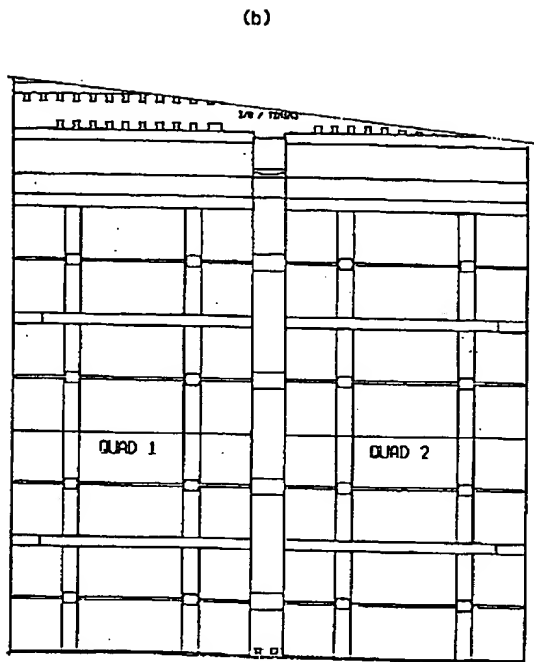
RWL0、RWL1 冗長ワード線

【図1】

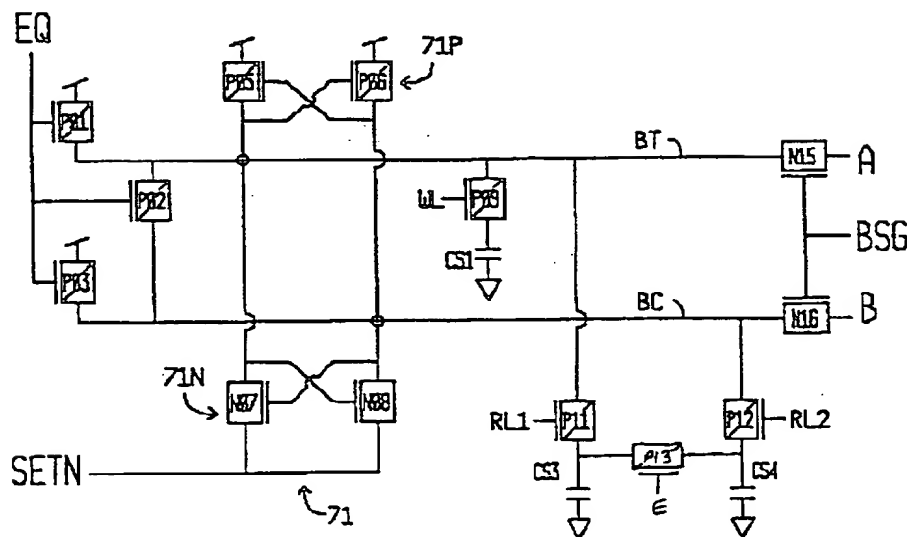
(a)



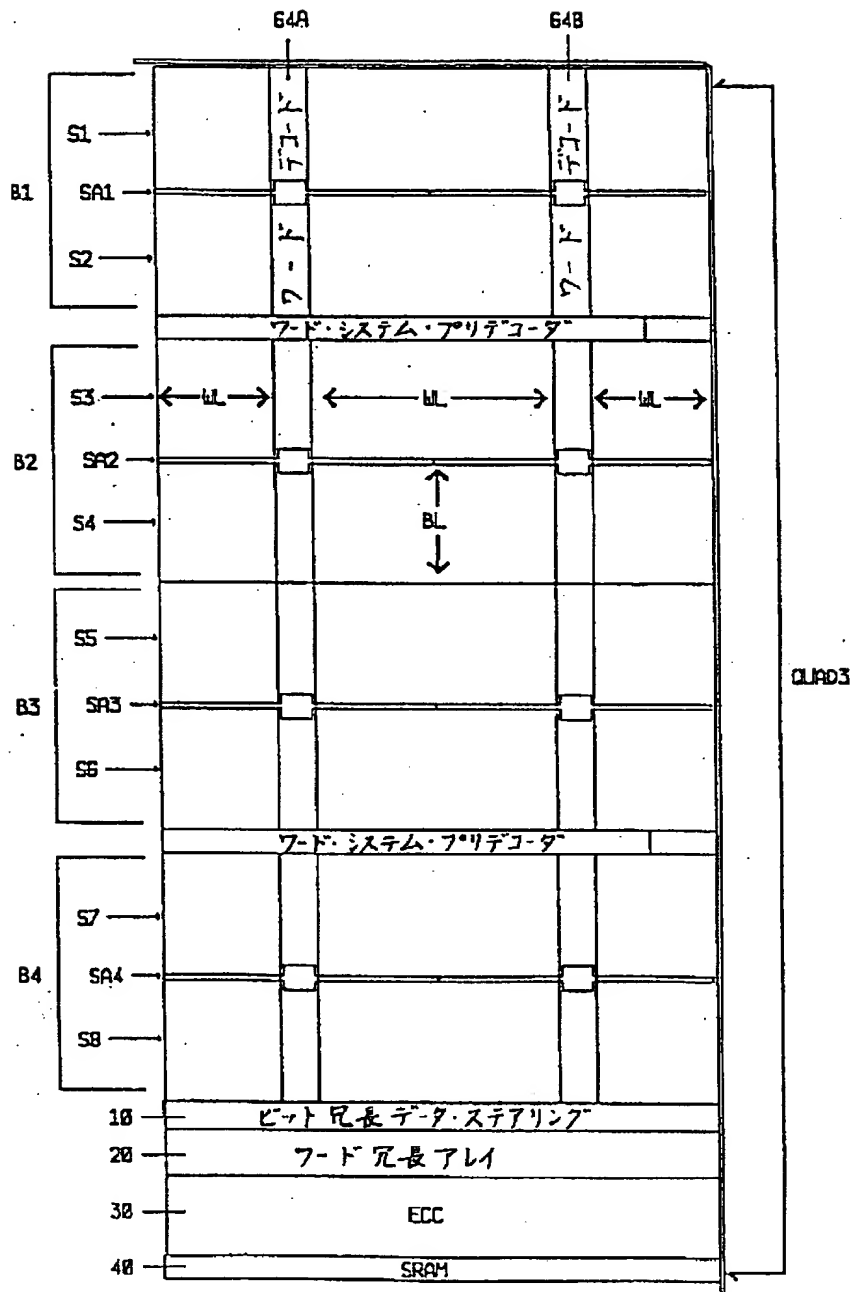
【図 7】



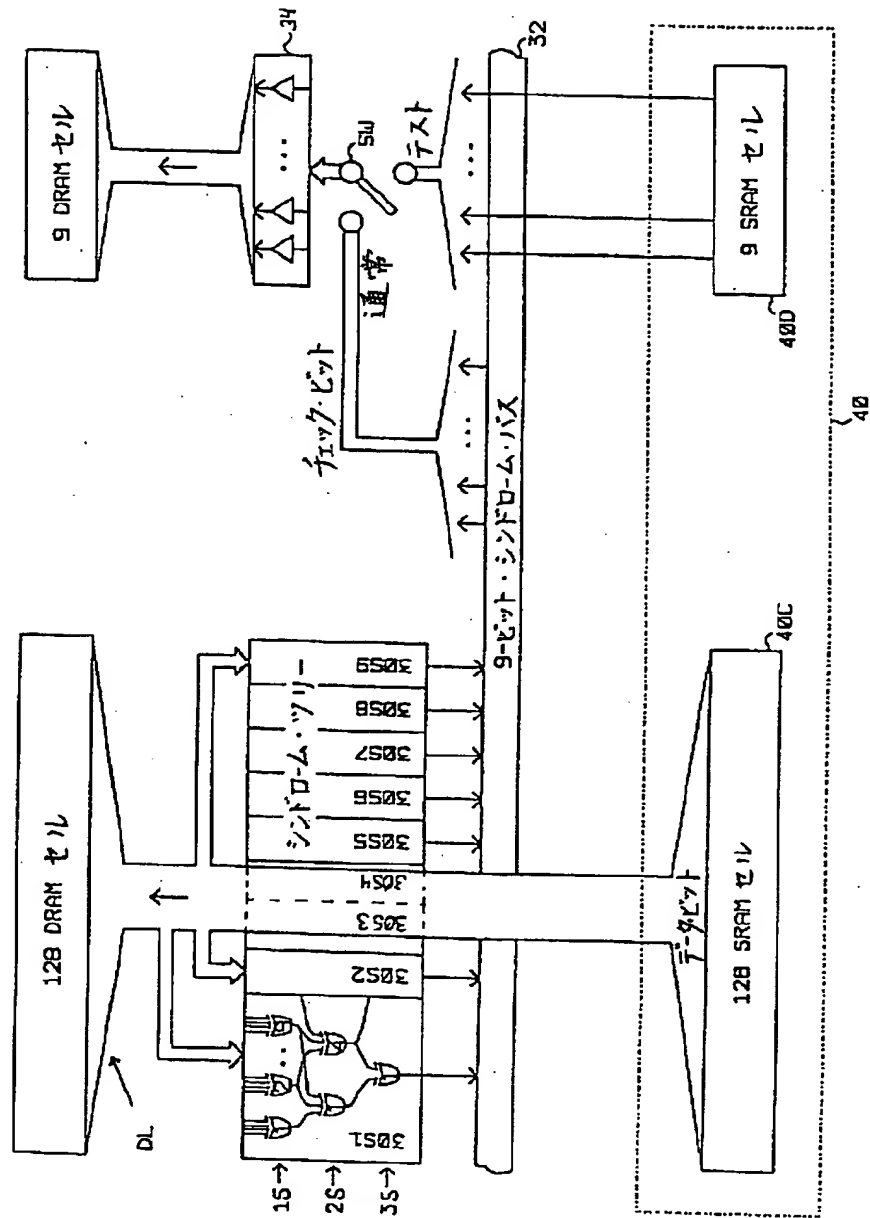
【図 4】



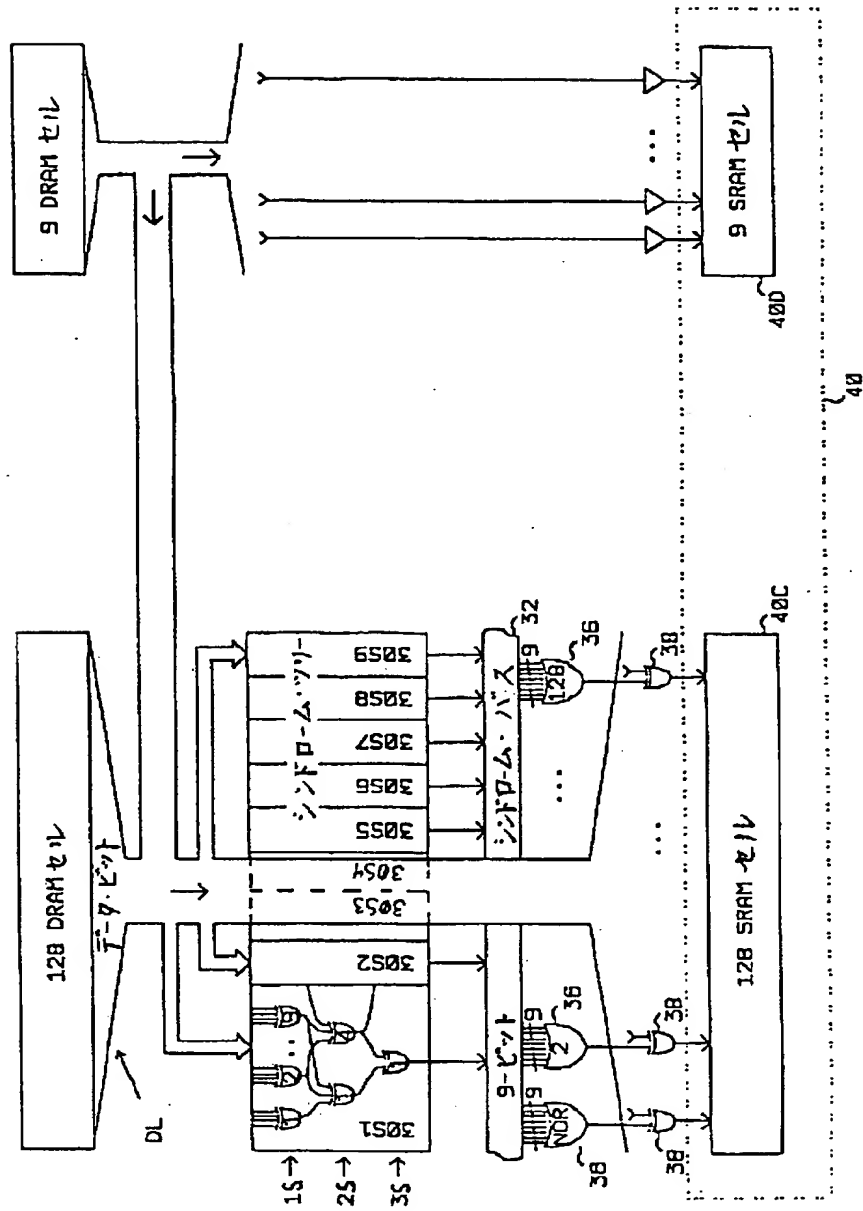
【図2】



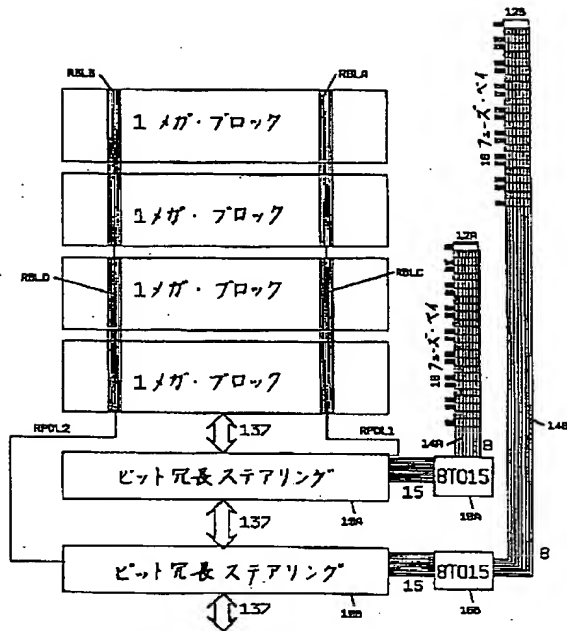
【図5】



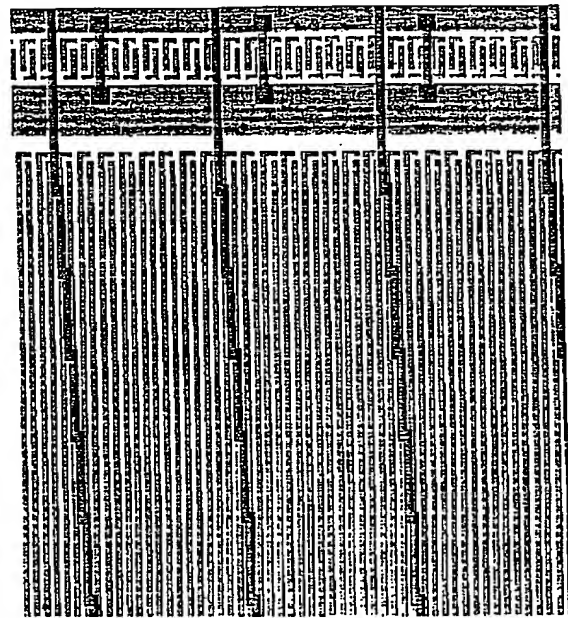
【図6】



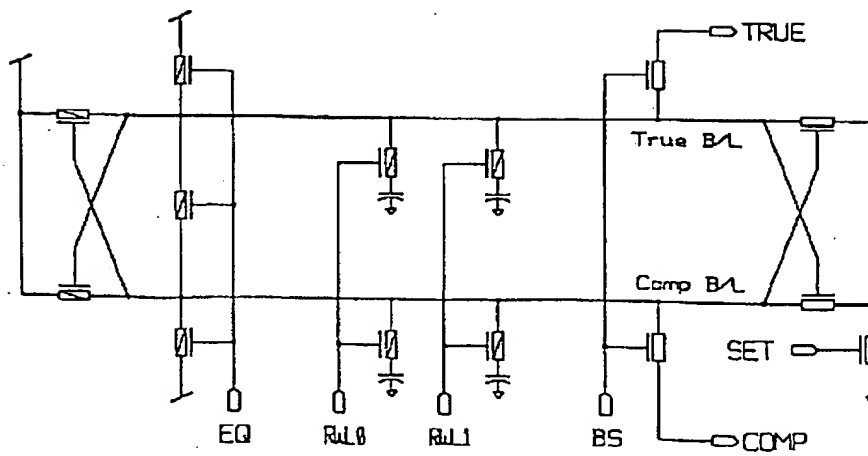
【图 8】



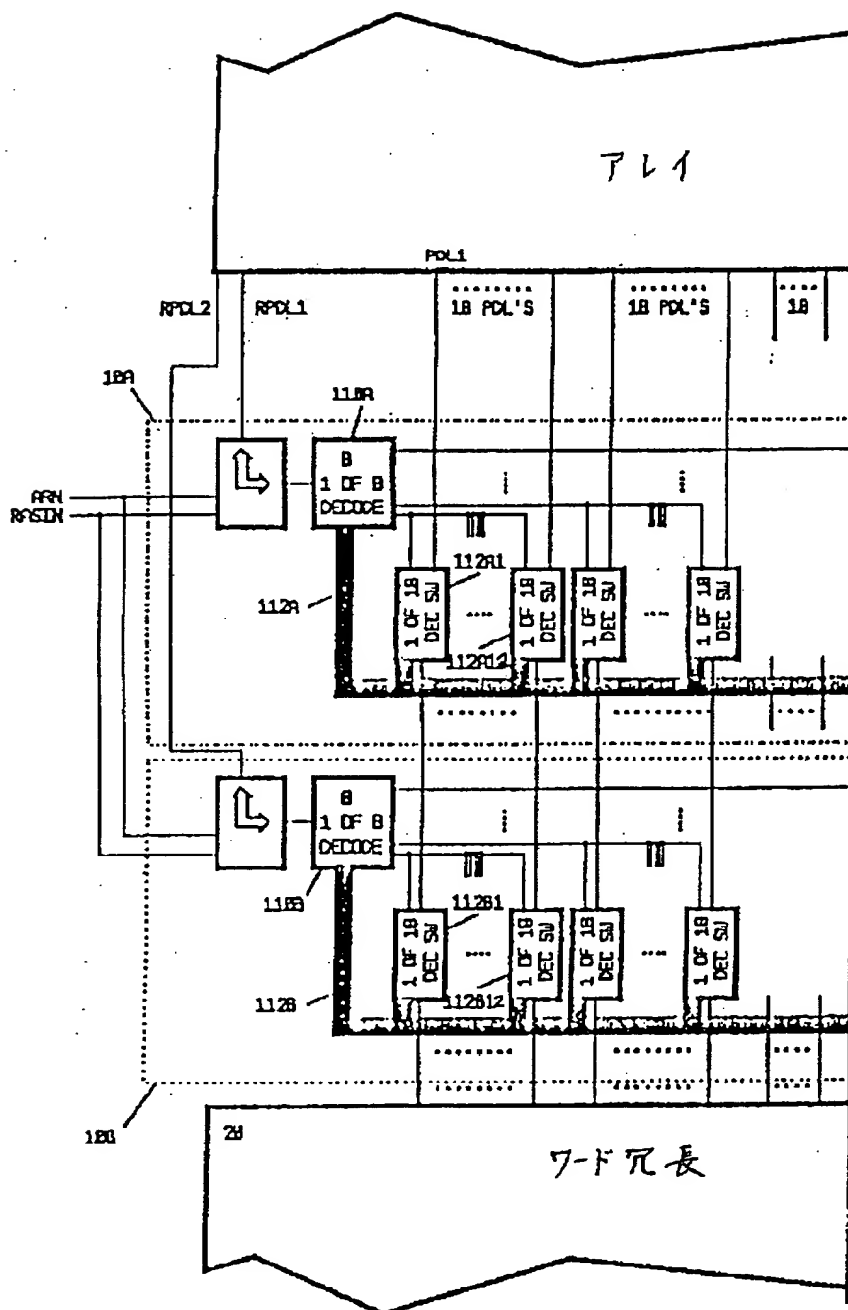
【図 16】

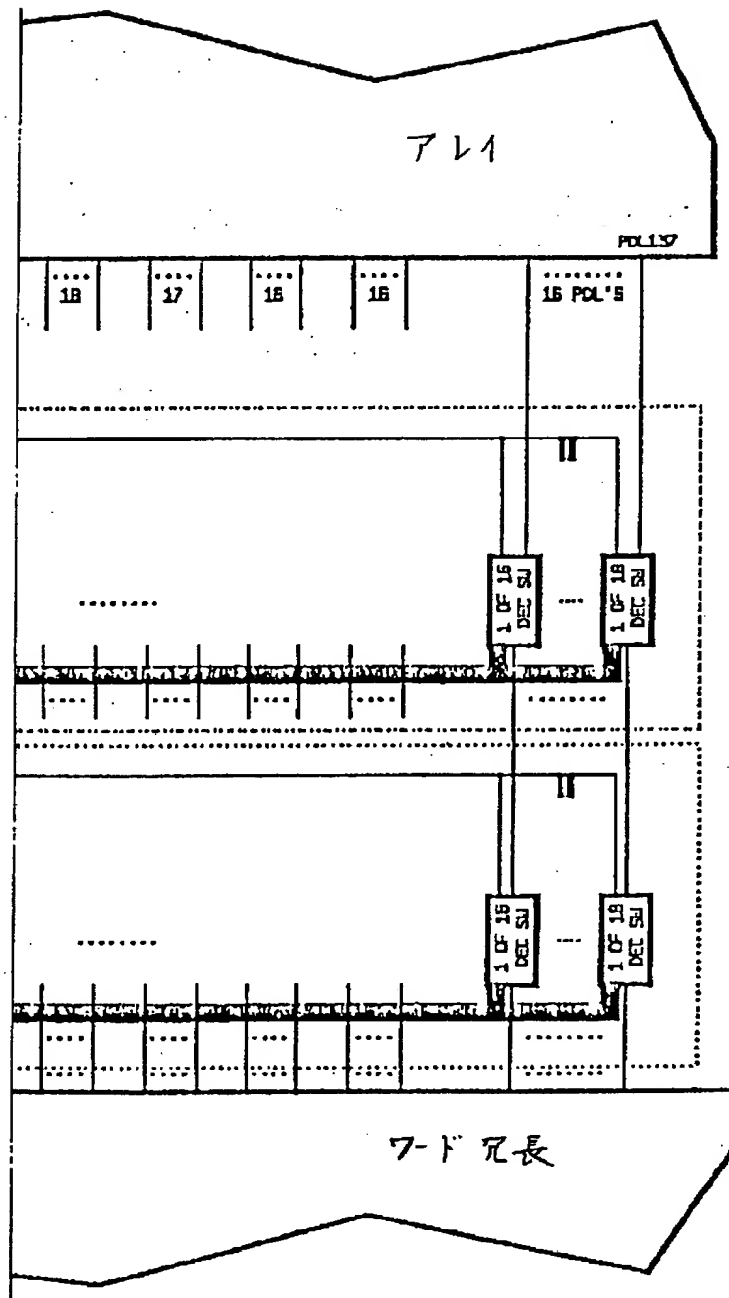


【図 1 1】

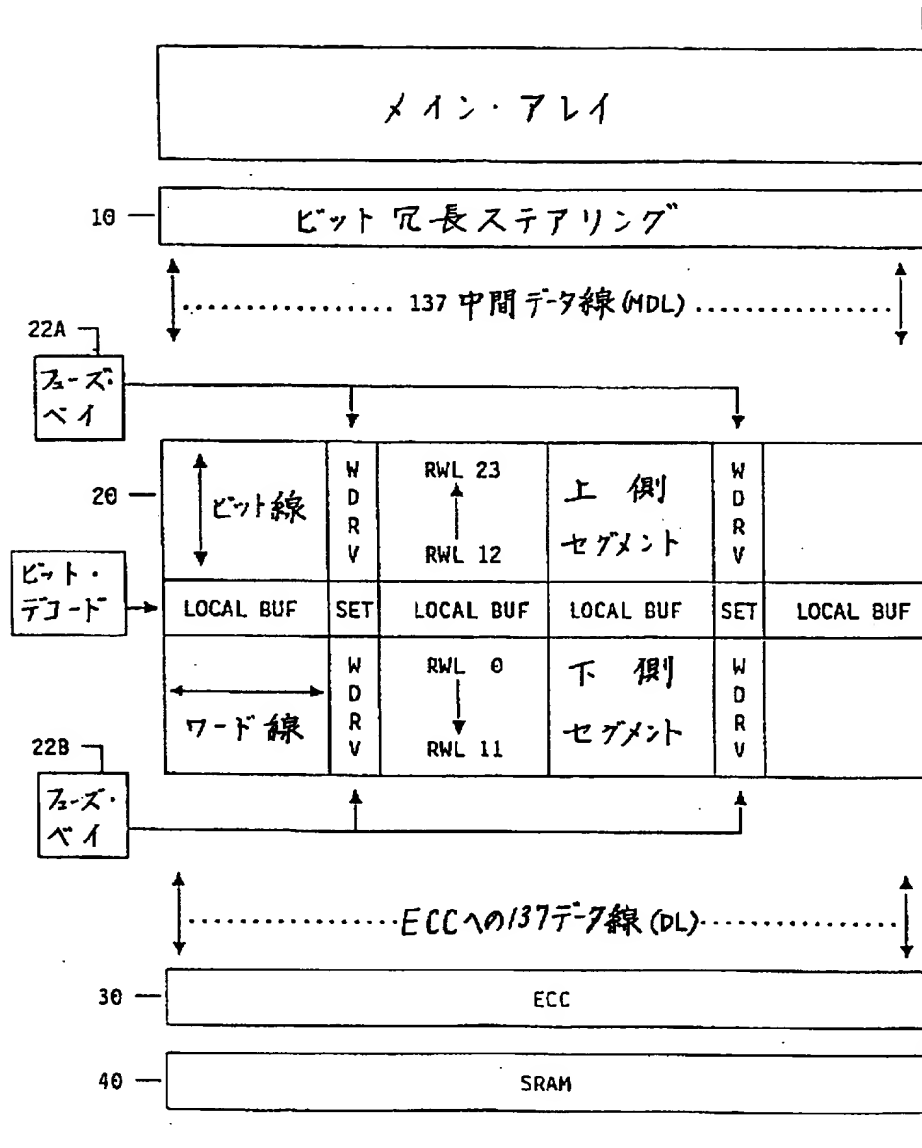


(a)

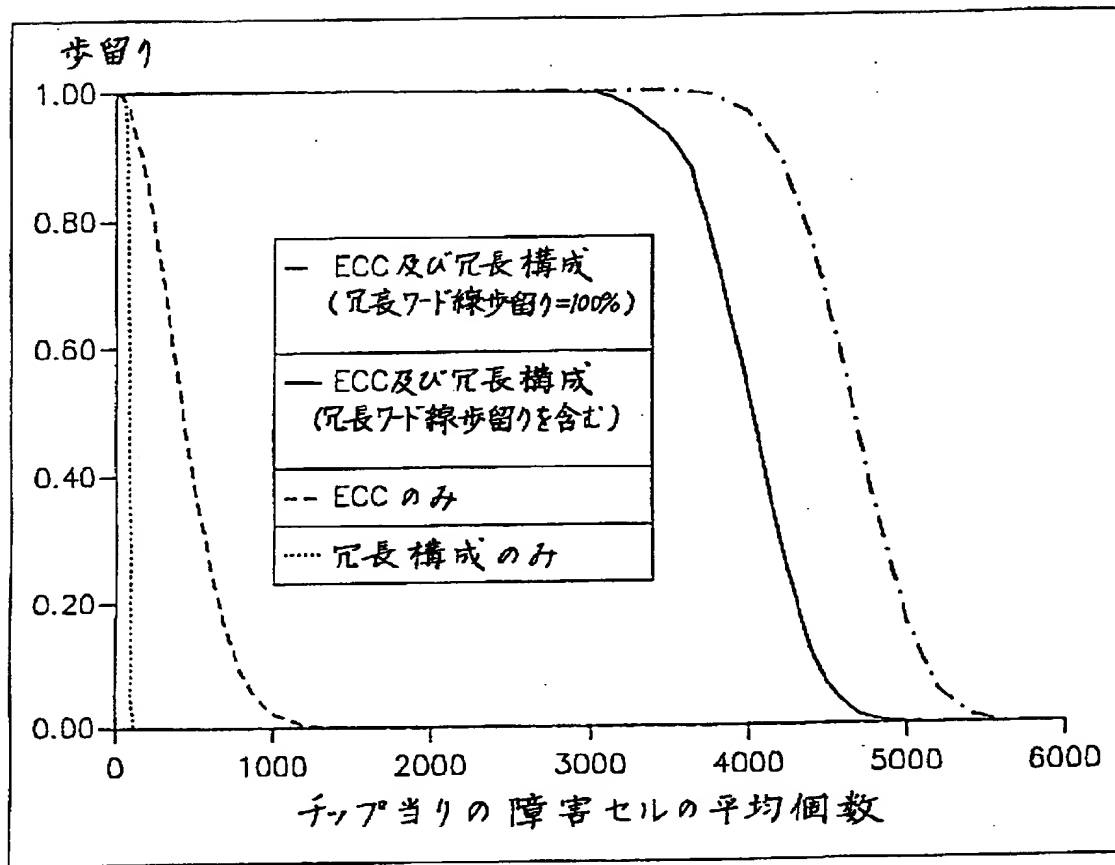




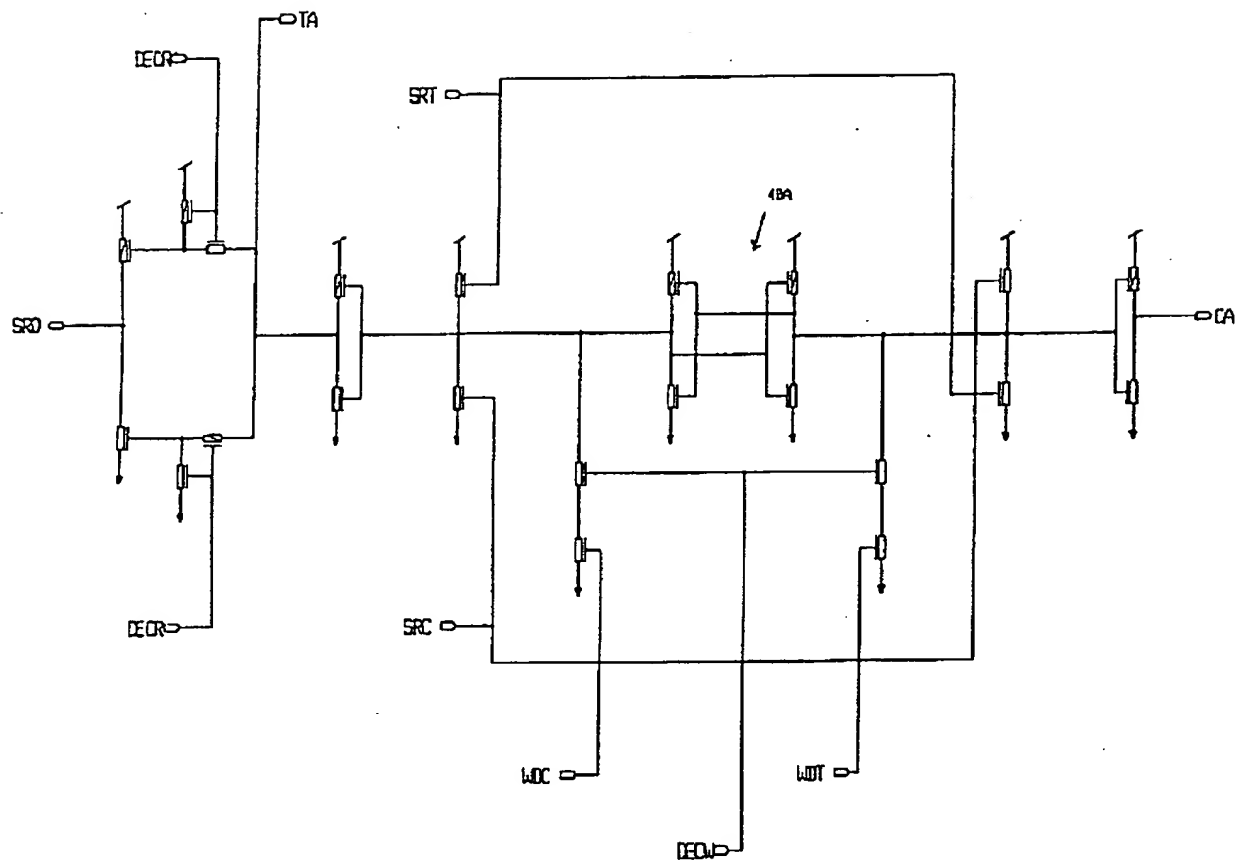
【図12】



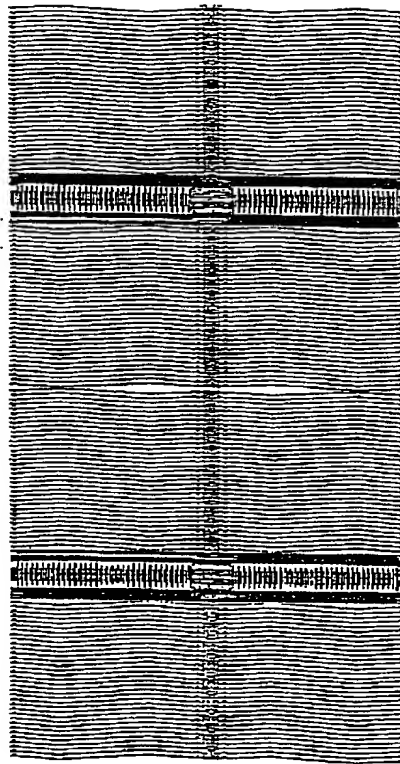
【図13】



【図14】



【図15】



フロントページの続き

- | | | | |
|---------|--|---------|---|
| (72)発明者 | チャールズ・エドワード・ドレイク
アメリカ合衆国バーモント州05489, アンダーヒル, ボーカーヒル・ロード, ピー・オー・ボックス 21 | (72)発明者 | ダニエル・ジョン・ニッケル
アメリカ合衆国バーモント州05495, ウエストフォード, アールディー 1, ボックス 662 |
| (72)発明者 | ジョン・アトキンス・フィフィールド
アメリカ合衆国バーモント州05489, アンダーヒル, ボーカーヒル・ロード, アールアール 1, ボックス 7490 | (72)発明者 | チャールズ・ヘンリ・スタッパ
アメリカ合衆国バーモント州05465, ジェリコ, マウンテン・ビュー・ロード (番地なし) |
| (72)発明者 | ウィリアム・ポール・ホヴィス
アメリカ合衆国ミネソタ州55901, ロチェスター, ノース・ウエスト, トゥエンティフォース・ストリート 2602 | (72)発明者 | ジェームズ・アンドリュウ・ヤンコスキー
アメリカ合衆国バーモント州05452, エセックス・ジャンクション, セイジ・サークル 19 |
| (72)発明者 | ハワード・レオ・カルター
アメリカ合衆国バーモント州05446, コルチェスター, ヴィレッジ・ドライブ 14 | | |
| (72)発明者 | スコット・クラレンス・ルイス
アメリカ合衆国バーモント州05452, エセックス・ジャンクション, アコーン・サークル 7 | | |

- (56)参考文献
- 特開 昭63-18598 (J P, A)
 - 特開 昭61-278100 (J P, A)
 - 特開 昭57-71596 (J P, A)
 - 特開 昭61-126697 (J P, A)
 - 特開 平2-12699 (J P, A)
 - 特開 平1-154787 (J P, A)
 - 特開 昭59-231852 (J P, A)
 - 特開 昭60-13400 (J P, A)